



SM59R04A2 替換 STC12C5A16S2 應用說明

- 一、 適用產品：SM59R04A2
- 二、 應用範圍：針對 SM59R04A2 替換 STC12C5A16S2 之應用，僅需對特殊功能暫存器定義做小幅度修改即可。
- 三、 功能說明：SM59R04A2、STC12C5A16S2 各個 MCU 規格比較(表 1)：

Feature	SM59R04A2	STC12C5A16S2
工作電壓 (V)	2.7~3.6 (4.5~5.5)	2.2~3.6 (3.3~5.5)
System clock(MHz)	1T : up to 25 (1T , 2T can change on fly)	1-T : up to 37
內部 RC 震盪器	有(最大 24MHz)	有
內置復位	有(可調復位時間)	有
低壓復位	有	有(需增加電路於 P4.6)
Program Flash (byte)	16K	16K
EEPROM	有	有
ISP/IAP	有	有
RAM(byte)	256+1024	256+1024
Interrupt	13	10
WDT	有	有
16-bit Dual DPTR	有	有
Timer	有(3 個)	有(2 個)
UART	有(2 組)	有(2 組) STC12C5A16AD 及 STC12C5A16PWM 只有 1 組
PCA	有(4 路)，中斷向量 0x2BH	有(2 路)，中斷向量 0x3BH
PWM	有(4 路，10 位)， 中斷向量 0x43H	有(2 路，8 位)， 中斷向量與 PCA 共用
MDU	有	無
ADC	有	有 STC12C5A16PWM 沒有
SPI interface	有	有
IIC interface	有	無
KBI interface	有	無
Port 4.4~4.7(40-pin PDIP) &four I/O type	有	有



四、特殊功能暫存器比較表：

SM59R04A2(表 2)：

Hex\Bin	X000	X001	X010	X011	X100	X101	X110	X111	Bin/Hex
F8	IICS	IICCTL	IICA1	IICA2	IICRWD	IICS2			FF
F0	B	SPIC1	SPIC2	SPITXD	SPIRXD	SPIS		TAKEY	F7
E8	P4	MD0	MD1	MD2	MD3	MD4	MD5	ARCON	EF
E0	ACC	ISPF AH	ISPF AL	ISPF D	ISPF C		LVC	SWRES	E7
D8	P5		P3M0	P3M1	P4M0	P4M1	P5M0	P5M1	DF
D0	PSW		P0M0	P0M1	P1M0	P1M1	P2M0	P2M1	D7
C8	T2CON	CCCON	CRCL	CRCH	TL2	TH2	PWMMDH	PWMDL	CF
C0	IRCON	CCEN	CCL1	CCH1	CCL2	CCH2	CCL3	CCH3	C7
B8	IEN1	IP1	S0RELH	S1RELH	PWMD0H	PWMD0L	PWMD1H	PWMD1L	BF
B0	P3	PWMD2H	PWMD2L	PWMD3H	PWMD3L	PWMC	WDTC	WDTK	B7
A8	IEN0	IP0	S0RELL	ADCC1	ADCC2	ADCDH	ADCDL	ADCCS	AF
A0	P2								A7
98	S0CON	S0BUF	IEN2	S1CON	S1BUF	S1RELL			9F
90	P1	AUX		KBLS	KBE	KBF	KBD		97
88	TCON	TMOD	TL0	TL1	TH0	TH1		IFCON	8F
80	P0	SP	DPL	DPH	DPL1	DPH1	RCON	PCON	87

STC12C5A16S2(表 3)：

Hex\Bin	X000	X001	X010	X011	X100	X101	X110	X111	Bin/Hex
F8		CH	CCAP0H	CCAP1H					FF
F0	B		PCA_PWM0	PCA_PWM1					F7
E8		CL	CCAP0L	CCAP1L					EF
E0	ACC								E7
D8	CCON	CMOD	CCAPM0	CCAPM1					DF
D0	PSW								D7
C8	P5	P5M1	P5M0			SPSTAT	SPCTL	SPDAT	CF
C0	P4	WDT_CONTR	IAP_DATA	IAP_ADDRH	IAP_ADDRL	IAP_CMD	IAP_TRIG	IAP_CONTR	C7
B8	IP	SADEN		P4SW	ADC_CONTR	ADC_RES	ADC_RESL		BF
B0	P3	P3M1	P3M0	P4M1	P4M0	IP2	IP2H	IPH	B7
A8	IE	SADDR						IE2	AF
A0	P2	BUS-SPEED	AUXR1						A7
98	SCON	SBUF	S2CON	S2BUF	BRT	P1ASF			9F
90	P1	P1M1	P1M0	P0M1	P0M0	P2M1	P2M0	CLK_DIV	97
88	TCON	TMOD	TL0	TL1	TH0	TH1	AUXR	WAKE_CLK 0	8F
80	P0	SP	DPL	DPH				PCON	87

五、 特殊功能差異說明：

特殊功能	SM59R04A2	Addr.	STC12C5A16S2	Addr.
外掛晶振頻率	最大25MHz (1T及2T模式可於程式運行中切換) IFCON.ITS 參考附件一	8FH.7	最大35MHz	
內部RC震盪器	由1MHz至24MHz共8階可調 參考附件一		5V : 11MHz~15.5MHz 3V : 8MHz~12MHz	
內置復位	復位時間由4ms至200ms共7階可調 參考附件二		復位時間固定	
低壓復位	1. L(3.3V)版復位電壓為2.5V 2. C(5V)版復位電壓為3.6V IEN1.IELVI (LVI interrupt enable , interrupt vector at 0x63H) LVC 參考附件二	B8H.4 E6H	需增加電路於 P4.6 1. L(3.3V)版復位電壓為1.30V 2. C(5V)版復位電壓為1.32V IE.ELVD (LVD interrupt enable , interrupt vector at 0x33H) WAKE_CLK0.LVD_WAKE	A8H.6 BFH.3
IAP, ISP, EEPROM	TAKEY IFCON.ISPE ISPFAH ISPFAL ISPFD ISPC 參考附件三	F7H 8FH.1 E1H E2H E3H E4H	IAP_DATA IAP_ADDRH IAP_ADDRL IAP_CMD IAP_TRIG IAP_CONTR	C2H C3H C4H C5H C6H C7H
輔助記憶體 Embedded 1024B RAM	IFCON.EMEN =1, 禁能 =0, 致能 (default)	8FH.1	AUXR.EXTRAM =1, 禁能 =0, 致能(default)	8EH.1



<p>中斷致能及優先權設定不同</p>	<p>共提供13組中斷源</p> <p>IEN0</p> <p>IEN1</p> <p>IEN2</p> <p>IP</p> <p>IP1</p> <p>參考附件四</p>	<p>A8H</p> <p>B8H</p> <p>9AH</p> <p>A9H</p> <p>B9H</p>	<p>共提供10組中斷源</p> <p>IE</p> <p>IE2</p> <p>IP</p> <p>IPH</p> <p>IP2</p> <p>IP2H</p>	<p>A8H</p> <p>AFH</p> <p>B8H</p> <p>B7H</p> <p>B5H</p> <p>B6H</p>
<p>看門狗-</p> <p>1. 時脈源不同</p> <p>2. 預分頻不同</p> <p>3. 設定及清除計時方式不同</p>	<p>TAKEY</p> <p>WDTC</p> <p>WDTK</p> <p>1. 時脈源由內部250KHz產生，溢出時間固定。</p> <p>2. 由WDTC[3:0]設定，預分頻由1~32768分16階：</p> <p style="padding-left: 20px;">Period = 1.02 m sec ~ 33.55 sec</p> <p>3. 須先設定KEY(TAKEKEY)後，才可對WDTC設定；清除WDT於WDTK寫入0x55。</p> <p>參考附件五</p>	<p>F7H</p> <p>B6H</p> <p>B7H</p>	<p>WDT_CONTR</p> <p>1. 時脈源由外部晶振產生，溢出時間不固定。</p> <p>2. 由WDT_CONTR[2:0]設定，預分頻由2~256分8階。</p> <p style="padding-left: 20px;">Period = (12xPre-scalex32768)/Fosc (XTAL1)</p> <p>3. 沒有KEY的設計，可直接改WDT_CONTR。</p>	<p>C1H</p>
<p>Dual DPTR</p>	<p>AUX.DPS</p> <p>=0, select DPTR0</p> <p>=1, select DPTR1</p> <p>DPL</p> <p>DPH</p> <p>DPL1</p> <p>DPH1</p>	<p>91H.0</p> <p>82H</p> <p>83H</p> <p>84H</p> <p>85H</p>	<p>AUXR1.DPS</p> <p>=0, select DPTR0</p> <p>=1, select DPTR1</p> <p>DPL</p> <p>DPH</p>	<p>A2H.0</p> <p>82H</p> <p>83H</p>
<p>第二組 UART</p>	<p>IEN2.ES1(UART1 interrupt enable , interrupt vector at 0x83H)</p>	<p>9AH.1</p>	<p>IE2.ES2(UART2 interrupt enable , interrupt vector at 0x43H)</p>	<p>AFH.0</p>



	AUX.P4UR1 =0, UART1 at P1. =1, TxD1 change from P1.3 to P4.3 RxD1 change from P1.2 to P4.2 S1CON S1RELL S1RELH S1BUF	91H.4 9BH 9DH BBH 9CH	AUXR1.S2_P4 =0, UART2 at P1. =1, TxD2 from P1.3 to P4.3 RxD2 from P1.2 to P4.2 S2CON S2BUF BRT AUXR	A2H.4 9AH 9BH 9CH 8EH
PCA	IEN0.ET2 (Timer 2 interrupt enable , interrupt vector at 0x2BH) AUX.P4CC =0, PCA at P1. =1, CC0 change from P1.0 to P4.0 CC1 change from P1.1 to P4.1 CC2 change from P1.3 to P4.2 CC3 change from P1.4 to P4.3 T2CON CCCON CCEN TL2 TH2 CRCL CRCH CCL1 CCH1 CCL2	A8H.5 91H.6 C8H C9H C1H CCH CDH CAH CBH C2H C3H C4H	CMOD.ECF (PCA interrupt enable , interrupt vector at 0x3BH) AUXR1.PCA_P4 =0, PCA at P1. =1, ECI change from P1.2 to P4.1 PCA0/PWM0 from P1.3 to P4.2 PCA1/PWM1 from P1.4 to P4.3 CCON CMOD CCAPM0 CCAPM1 CH CL CCAP0L CCAP0H CCAP1L CCAP1H PCA_PWM0	D9H.0 A2H.6 D8H D9H DAH DBH E9H F9H EAH FAH EBH FBH F2H



	CCH2 CCL3 CCH3 参考附件六	C5H C6H C7H	PCA_PWM1	F3H
PWM	IEN1.IEPWM(PWM interrupt enable , interrupt vector at 0x43H) PWMC PWMD0H PWMD0L PWMD1H PWMD1L PWMD2H PWMD2L PWMD3H PWMD3L PWMMDH PWMMDL 参考附件七	A9H.0 91H.6 B5H BCH BDH BEH BFH B1H B2H B3H B4H CEH CFH	CMOD.ECF (PCA interrupt enable , interrupt vector at 0x3BH) AUXR1.PCA_P4 =0, PCA at P1. =1, PCA0/PWM0 from P1.3 to P4.2 PCA1/PWM1 from P1.4 to P4.3 CCON CMOD CCAPM0 CCAPM1 CH CL CCAP0L CCAP0H CCAP1L CCAP1H PCA_PWM0 PCA_PWM1	D9H.0 A2H.6 D8H D9H DAH DBH E9H F9H EAH FAH EBH FBH F2H F3H
MDU	PCON.MDUF ARCON MD0 MD1	87H.6 EFH E9H EAH	無	



	MD2 MD3 MD4 MD5 参考附件八	EBH ECH EDH EEH		
ADC	IEN1.IEADC (ADC interrupt enable , interrupt vector at 0x53H) ADCC1 ADCC2 ADCDH ADCDL ADCCS 参考附件九	B8H.2 ABH ACH ADH AEH AFH	IE.EADC (ADC interrupt enable , interrupt vector at 0x2BH) P1ASF ADC_CONTR ADC_RES ADC_RESL AUXR1	A8H.5 BCH BDH BEH BFH A2H
SPI Interface	IEN1.IESPI (SPI interrupt enable , interrupt vector at 0x4BH) AUX.P4SPI =0, SPI at P1. =1, SS change from P1.4 to P4.0 MOSI change from P1.5 to P4.1 MISO change from P1.6 to P4.2 SPI_CLK change from P1.7 to P4.3 SPIC1 SPIC2 SPIS SPITxD SPIRxD 参考附件十	B8H.1 91H.5 F1H F2H F3H F4H F5H	IE2.ESPI (SPI interrupt enable , interrupt vector at 0x4BH) AUXR1.SPI_P4 =0, SPI at P1. =1, SS change from P1.4 to P4.0 MOSI change from P1.5 to P4.1 MISO change from P1.6 to P4.2 SPICLK change from P1.7 to P4.3 SPSTAT SPCTL SPDATA	AFH.1 A2H.5 CDH CEH CFH



<p>IIC Interface</p>	<p>IEN1.IEIIIC(IIC interrupt enable , interrupt vector at 0x6BH)</p> <p>AUX.P4IIC =0, IIC at P1. =1, IIC_SCL change from P1.6 to P4.0 IIC_SDA change from P1.7 to P4.1</p> <p>IICCTL</p> <p>IICS</p> <p>IICA1</p> <p>IICA2</p> <p>IICRWD</p> <p>IICS2</p> <p>参考附件十一</p>	<p>B8H.5</p> <p>91H.3</p> <p>F9H</p> <p>F8H</p> <p>FAH</p> <p>FBH</p> <p>FCH</p> <p>FDH</p>	<p>無</p>	
<p>KBI Interface</p>	<p>IE1.KBD(KEI interrupt enable , interrupt vector at 0x5BH)</p> <p>AUX.P0KBI =0, KBI on P2. =1, KBI on P0.</p> <p>KBLS</p> <p>KBE</p> <p>KBF</p> <p>KBD</p> <p>参考附件十二</p>	<p>A9H.0</p> <p>91H.2</p> <p>93H</p> <p>94H</p> <p>95H</p> <p>96H</p>	<p>無</p>	
<p>Port 4.4~4.7 (40-pin PDIP) & Four I/O type</p>	<p>The OCI_SCL 、 ALE 、 OCI_SDA and RESET can be define as P4.4 、 P4.5 、 P4.6 and P4.7 by writer or ISP 。</p> <p>P0</p> <p>P0M1</p>	<p>80H</p>	<p>P4SW[6:4] =1,the NA 、 ALE 、 EX_LVD define as P4.4 、 P4.5 、 P4.6</p> <p>The RST can be define as P4.7 by ISP</p>	<p>BBH[6:4]</p>



	P0M0 P1 P1M1 P1M0 P2 P2M1 P2M0 P3 P3M1 P3M0 P4 P4M1 P4M0 P5 P5M1 P5M0 参考附件十三	D3H D2H 90H D5H D4H A0H D7H D6H B0H DBH DAH E8H DDH DCH D8H DFH DEH	P0 P0M1 P0M0 P1 P1M1 P1M0 P2 P2M1 P2M0 P3 P3M1 P3M0 P4 P4M1 P4M0 P5 P5M1 P5M0	 80H 93H 94H 90H 91H 92H A0H 95H 96H B0H B1H B2H C0H B3H B4H C8H C9H CAH
ALE	IFCON[3:2] =00, ALE always output =01, No ALE output =10, ALE output only during a MOVX The ALE can be define as P4.5 I/O by ISP or ICP	8FH[3:2]	P4SW.ALE_P4.5 =1, ALE output only during a MOVX =0, as P4.5 I/O	BBH.5



附件一：外掛晶振頻率與內部 RC 震盪器使用說明

SM59R04A2 之時鐘來源可使用外掛晶振或內部 RC 震盪器（因製程及溫度因素，會有一定程度之漂移，只適用於對時鐘精確度不太要求之應用環境）。

選擇外掛晶振或內部 RC 震盪器需使用 ICP 或 ISP 燒錄模式中選定。

時鐘來源如以下表格，出廠時為選擇 24Mhz 內部 RC 震盪器。

Clock source
External crystal
24MHz from internal OSC
20MHz from internal OSC
16MHz from internal OSC
12MHz from internal OSC
8MHz from internal OSC
4MHz from internal OSC
2MHz from internal OSC
1MHz from internal OSC



附件二：復位使用說明

SM59R04A2 除了標準 Reset Pin 復位功能，另外提供軟體復位功能、內建復位電路(可選擇復位時間)、低電壓復位功能供客戶使用。

1. 軟體復位功能使用 SWRES(0xE7H)及 TAKEY(0xF7H)兩個特殊功能暫存器設定。

SWRES 特殊功能暫存器於寫入 0xFFH 時產生復位功能，但 SWRES 於寫入之前需先於 TAKEY 特殊功能暫存器連續寫入 0x55H, 0xAAH 及 0x5AH，才能開啓 SWRES 之寫入功能；未於 TAKEY 連續寫入 0x55H, 0xAAH 及 0x5AH 時，SWRES 只能讀取不能寫入。

2. 內建復位電路，復位時間於 ICP 或 ISP 燒錄模式中選擇。

Internal Reset time
25ms (default)
200ms
100ms
50ms
16ms
8ms
4ms

3. SM59R04A2 亦提供低電壓復位功能，且提供中斷向量 0x63H 供客戶使用，低電壓復位功能使用之特殊功能暫存器為 LVC(0xE6H)。

Mnemonic: LVC							Address: E6h	
7	6	5	4	3	2	1	0	Reset
LVI_EN	-	LVRXE	-	-	-	-	-	00H

LVI_EN: Low voltage interrupt function enable bit.

LVI_EN = 0 : disable low voltage detect function.

LVI_EN = 1 : enable low voltage detect function.

LVRXE: External low voltage reset function enable bit.

LVRXE = 0 : disable external low voltage reset function.

LVRXE = 1 : enable external low voltage reset function.

Low Voltage Detect Level

	LVI	LVRX
SM59R04A2C	4.0V	3.6V
SM59R04A2L	2.7V	2.5V

附件三：IAP, ISP, EEPROM 使用說明

1. 新茂與 STC IAP, ISP, EEPROM 功能比較：

	新茂	STC
ISP服務原始程式	有提供	無
ISP電腦端開發環境	有提供	無
IAP及EEPROM是否需等待時間	不需要	需依系統工作時鐘設置等待時間
頁(扇區)字節長度	256 字節	512 字節

2. 新茂與 STC IAP, ISP, EEPROM 特殊功能暫存器比較：

特殊功能暫存器名稱	新茂名稱及位址	STC名稱及位址
高位址	ISPFAH (0xE1H)	IAP_ADDRH (0xC3H)
低位址	ISPFAL (0xE2H)	IAP_ADDRL (0xC4H)
資料	ISPFDA (0xE3H)	IAP_DATA (0xC2H)
命令	ISPFCA (0xE4H)	IAP_CMD (0xC5H)
功能致能	IFCON.ISPE (0x8FH.0)	IAP_CONTR (0xC7H) 於此暫存器設定等待時間
功能致能暫存器保護	TAKEY (0xF7H) 於此暫存器連續填入0x55H， 0xAAH及0x5AH以啟動功能	無
功能啟動	無(不需要)	IAP_TRIG (0xC6H) 於此暫存器連續填入0x5AH， 0xA5H以啟動命令

3. 新茂與 STC IAP, ISP, EEPROM 功能說明：

	新茂	STC
字節寫	ISPFC=0x00H or 0x04H(Note1)	IAP_CMD=0x02H
片保護	ISPFC=0x01H	無
頁(扇區)擦除	ISPFC=0x02H or 0x06H(Note1)	IAP_CMD=0x03H
片擦除	ISPFC=0x03H(Note1)	無
字節讀	僅提供於特殊功能 ISPFC =0x05H(Note1)	IAP_CMD=0x01H

Note1：

新茂亦提供以下五個功能選擇位元：看門狗功能致能(ISPFC=0x03H)、時鐘來源選擇(ISPFC=0x04H)、P4[4:7] I/O 功能選擇(ISPFC=0x05H)、內建復位電路重置時間選擇(ISPFC=0x06H)及 ISP 服務程式區進



入方式之設定(ISPFC=0x08H)。

上述之功能選擇位元之片擦除(ISPFC=0x03H)、字節寫(ISPFC=0x04H)及頁(扇區)擦除(ISPFC=0x06H)等命令尚需確認 EMF1~EMF4 等四個旗標之一有置高才會執行，字節讀(ISPFC=0x05H)則無此限制。

a. 看門狗功能致能(ISPFC=0x03H)說明：

於程式中執行看門狗功能前需先將此功能選擇位元第 7 位元置低(0x03H, Bit 7=0)，此位元可使用 ISP 或 ICP 方式設定；於程式執行中亦可使用 IAP 之字節讀命令讀取此位元之狀態。

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
WDTEN	-	-	-	-	-	-	-

WDTEN 0 is enable WDT
1 is disable WDT

b. 時鐘來源選擇(ISPFC=0x04H) 說明：

可使用 ISP 或 ICP 等方式設定時鐘來源選擇；於程式執行中亦可使用 IAP 之字節讀命令讀取時鐘來源之設定值。

System clock Select :

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	-	-	-	FCLK3	FCLK2	FCLK1	FCLK0

System clock select FCLK[3:0]	System clock
XXXX-0XXX	External crystal
XXXX-1000	24MHz from internal OSC
XXXX-1001	20MHz from internal OSC
XXXX-1010	16MHz from internal OSC
XXXX-1011	12MHz from internal OSC
XXXX-1100	8MHz from internal OSC
XXXX-1101	4MHz from internal OSC
XXXX-1110	2MHz from internal OSC
XXXX-1111	1MHz from internal OSC

c. P4[4:7] I/O 功能選擇(ISPFC=0x05H) 說明：

Specifications subject to change without notice, contact your sales representatives for the most recent information.



可使用 ICP 或 ISP 方式設定，將 OCI_SCL、ALE、OCI_SDA and RESET 等 I/O 定義成 P4.4、P4.5、P4.6 and P4.7；於程式執行中亦可使用 IAP 之字節讀命令讀取 I/O 之設定值。

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-	-	-	-	RESET	OCI_SDA	ALE	OCI_SCL

RESET: 0 is bi-direction I/O pin (P4.7).
1 is reset input pin with 1000ns deglitch.
OCI_SDA: 0 is bi-direction I/O pin (P4.6).
1 is OCI_SDA pin.
ALE: 0 is bi-direction I/O pin (P4.5).
1 is ALE pin.
OCI_SCL: 0 is bi-direction I/O pin (P4.4).
1 is OCI_SCL pin.

各種封裝對應之 PIN 腳如下表：

	OCI_SCL/P4.4	ALE/P4.5	OCI_SDA/P4.6	RESET/P4.7
40-PIN PDIP	29	30	31	9
44-PIN PLCC	32	33	35	10
44-PIN PQFP	26	27	29	4
48-PIN LQFP	29	30	32	5

d. 內建復位電路重置時間選擇(ISPFAL=0x06H) 說明：

可使用 ICP 或 ISP 方式選擇復位電路重置時間；於程式執行中亦可使用 IAP 之字節讀命令讀取復位電路重置時間之設定值。

Internal reset timer select :

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-------	-------	-------	-------	-------	-------	-------	-------

Internal reset time select[7:0]	Reset time
XXXX-X111	25ms (default)
0000-0110	200ms
0000-0101	100ms
0000-0100	50ms
0000-0011	16ms
0000-0010	8ms
0000-0001	4ms
0000-0000	2ms

e. ISP 服務程式區進入方式之設定(ISPFAL=0x08H) 說明：

Specifications subject to change without notice, contact your sales representatives for the most recent information.

可使用 ICP 或 ISP 方式選擇 ISP 服務程式區進入方式，於程式執行中亦可使用 IAP 之字節讀命令讀取 ISP 服務程式區進入方式之設定值，ISP 服務程式區進入方式有四種，分別由旗標 EMF1~4 所記錄。

ISP entry mechanism select :

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-------	-------	-------	-------	-------	-------	-------	-------

Trigger source ISP entry mechanism	晶片復位源 Internal Reset	晶片復位源 PAD reset	EMF (Entry mechanism flag)
(1) First Address Blank. I.e. \$0000 = FFh	Bit 7	Bit 6	EMF1
(2) P2.6 = 0 & P2.7 = 0	Bit 5	Bit 4	EMF2
(3) P4.3 = 0	Bit 3	Bit 2	EMF3
(4) P3.0 input 2 clocks	Bit 1	Bit 0	EMF4

ISPFC 特殊功能暫存器說明：

Mnemonic: TAKEY								Address: F7H	
7	6	5	4	3	2	1	0	Reset	
TAKEY [7:0]								00H	

Mnemonic: IFCON								Address: 8FH	
7	6	5	4	3	2	1	0	Reset	
ITS	CDPR	F12K	F8K	ALEC[1]	ALEC[0]	EMEN	ISPE	00H	

ISP 致能位元(ISPE)預設為唯讀屬性，為避免程序錯誤導致ISP誤動作，使用者必須依序寫入三筆資料到(55h, AAh, 5Ah)TAKEY，才可將ISP 致能位元(ISPE)改變為可寫入屬性：

ISPE: = 1, ISP致能，ISP暫存器(ISPFAH, ISPFAL, ISPFD, ISPFC)設為可寫入。
= 0, ISP禁能，ISP暫存器(ISPFAH, ISPFAL, ISPFD and ISPFC)為唯讀 (預設)。

程序範例，ISP byte program #22H 到 program flash 位置\$1005H，如下：

```
MOV TAKEY, #055h
MOV TAKEY, #0AAh
MOV TAKEY, #05Ah      ; enable ISPE write attribute
ORL IFCON, #001H     ; enable SM59R04A2 ISP function
MOV ISPFAH, #010H    ; set flash address-high, 10H
MOV ISPFAL, #005H    ; set flash address-low, 05H
MOV ISPFD, #022H     ; set flash data to be programmed, data = 22H
MOV ISPFC, #000H     ; start to program #22H to the flash address $1005H
```

Mnemonic: ISPFAH								Address: E1H	
7	6	5	4	3	2	1	0	Reset	



ISPFAH7	ISPFAH6	ISPFAH5	ISPFAH4	ISPFAH3	ISPFAH2	ISPFAH1	ISPFAH0	FFH
---------	---------	---------	---------	---------	---------	---------	---------	-----

ISPFAH [7:0]: ISP共提供16位元定址，此為高位元8~15位置。

Mnemonic: ISPFAL

Address: E2H

7	6	5	4	3	2	1	0	Reset
ISPFAL7	ISPFAL6	ISPFAL5	ISPFAL4	ISPFAL3	ISPFAL2	ISPFAL1	ISPFAL0	FFH

ISPFAL [7:0]: ISP共提供16位元定址，此為低位元0~7的位置。

Mnemonic: ISPFD

Address: E3H

7	6	5	4	3	2	1	0	Reset
ISPFD7	ISPFD6	ISPFD5	ISPFD4	ISPFD3	ISPFD2	ISPFD1	ISPFD0	FFH

ISPFD [7:0]: ISP資料暫存器。

Mnemonic: ISPFC

Address: E4H

7	6	5	4	3	2	1	0	Reset
EMF1	EMF2	EMF3	EMF4	-	ISPF[2]	ISPF[1]	ISPF[0]	00H

EMF1: Entry mechanism (1) flag, clear by reset. (Read only)

ISP服務程式區進入方式記錄旗標(1)，唯讀，可由晶片復位清除

EMF2: Entry mechanism (2) flag, clear by reset. (Read only)

ISP服務程式區進入方式記錄旗標(2)，唯讀，可由晶片復位清除

EMF3: Entry mechanism (3) flag, clear by reset. (Read only)

ISP服務程式區進入方式記錄旗標(3)，唯讀，可由晶片復位清除

EMF4: Entry mechanism (4) flag, clear by reset. (Read only)

ISP服務程式區進入方式記錄旗標(4)，唯讀，可由晶片復位清除

ISPF [2:0]: ISP function select bit.

ISP功能選擇元位，提供七組功能

ISPF[2:0]	ISP function
000	字節寫
001	片保護
010	頁(扇區)擦除
011	片擦除
100	特殊功能字節寫
101	特殊功能字節讀
110	特殊功能頁(扇區)擦除
111	保留



附件四：中斷致能及優先權設定不同說明

1. 新茂與 STC 中斷功能比較：

新茂提供 13 組中斷源，STC 12C5A16S2 只有 10 組，STC 之 PCA 中斷需使用 CMOD(0xD9H)、CCAPM0(0xDA) 及 CCAPM1(0xDB)致能。

中斷源旗標	新茂之中斷向量	STC 之中斷向量
IE0 – External interrupt 0	0x03H	0x03H
TF0 – Timer 0 interrupt	0x0BH	0x0BH
IE1 – External interrupt 1	0x13H	0x13H
TF1 – Timer 1 interrupt	0x1BH	0x1BH
RI0/TI0 – Serial channel 0 interrupt	0x23H	0x23H
TF2/EXF2 – Timer 2 interrupt	0x2BH	無
PWMIF – PWM interrupt	0x43H	無
SPIIF – SPI interrupt	0x4BH	0x4BH
ADCIF – A/D converter interrupt	0x53H	0x23H
KBIIF – keyboard Interface interrupt	0x5BH	無
LVIIF – Low Voltage Interrupt	0x63H	0x2BH
IICIF – IIC interrupt	0x6BH	無
RI1/TI1 – Serial channel 1 interrupt	0x83H	0x43H
PCA	Same as TF2	0x3BH

新茂與 STC 12C5A16S2 同樣有四階中斷之優先級，STC 之 SPI 及第二組串口中斷優先級需於 IP2 (0xB5H) 及 IP2H (0xB6H)設定。

2. 新茂與 STC 中斷之特殊功能暫存器比較：

特殊功能暫存器名稱	新茂名稱及位址	STC 名稱及位址
中斷致能 0	IEN0 (0xA8H)	IE (0xA8H)
中斷致能 1	IEN1 (0xB8H)	無
中斷致能 2	IEN2 (0x9AH)	IE2 (0xAFH)
PCA 中斷致能	與 Timer 2 中斷共用	CMOD.ECF(0xD9H.0) CCAPM0.ECCF0(0xDA.0) CCAPM1.ECCF1(0xDB.0)
中斷優先設定低位址	IP0 (0xA9H)	IP (0xB8H)
中斷優先設定高位址	IP1 (0xB9H)	IPH(0xB7H)
中斷優先設定第二組低位址	無	IP2 (0xB5H)
中斷優先設定第二組高位址	無	IP2H (0xB6H)



3. 新茂與 STC 中斷之特殊功能暫存器說明：

a. 中斷致能：

新茂中斷致能使用之暫存器說明：

Mnemonic: IEN0							Address: A8h	
7	6	5	4	3	2	1	0	Reset
EA	-	ET2	ES0	ET1	EX1	ET0	EX0	00h

- EA: EA=0 – Disable all interrupt.
EA=1 – Enable all interrupt.
- ET2: ET2=0 – Disable Timer 2 overflow or external reload interrupt.
ET2=1 – Enable Timer 2 overflow or external reload interrupt.
- ES0: ES0=0 – Disable Serial channel 0 interrupt.
ES0=1 – Enable Serial channel 0 interrupt.
- ET1: ET1=0 – Disable Timer 1 overflow interrupt.
ET1=1 – Enable Timer 1 overflow interrupt.
- EX1: EX1=0 – Disable external interrupt 1.
EX1=1 – Enable external interrupt 1.
- ET0: ET0=0 – Disable Timer 0 overflow interrupt.
ET0=1 – Enable Timer 0 overflow interrupt.
- EX0: EX0=0 – Disable external interrupt 0.
EX0=1 – Enable external interrupt 0.

Mnemonic: IEN1							Address: B8h	
7	6	5	4	3	2	1	0	Reset
EXEN2	-	IEIIC	IELVI	IEKBI	IEADC	IESPI	IEPWM	00h

- EXEN2: Timer 2 reload interrupt enable.
EXEN2 = 0 – Disable Timer 2 external reload interrupt.
EXEN2 = 1 – Enable Timer 2 external reload interrupt.
- IEIIC: IIC interrupt enable.
IEIICS = 0 – Disable IIC interrupt.
IEIICS = 1 – Enable IIC interrupt.
- IELVI: LVI interrupt enable.
IELVI = 0 – Disable LVI interrupt.
IELVI = 1 – Enable LVI interrupt.
- IEKBI: KBI interrupt enable.
IEKBI = 0 – Disable KBI interrupt.
IEKBI = 1 – Enable KBI interrupt.
- IEADC: A/D converter interrupt enable
IEADC = 0 – Disable ADC interrupt.
IEADC = 1 – Enable ADC interrupt.
- IESPI: SPI interrupt enable.
IESPI = 0 – Disable SPI interrupt.
IESPI = 1 – Enable SPI interrupt.
- IEPWM: PWM interrupt enable.
IEPWM = 0 – Disable PWM interrupt.
IEPWM = 1 – Enable PWM interrupt.



Mnemonic: IE2							Address: 9Ah	
7	6	5	4	3	2	1	0	Reset
-	-	-	-	-	-	-	ES1	00h

ES1: ES1=0 – Disable Serial channel 1 interrupt.
ES1=1 – Enable Serial channel 1 interrupt.

STC12C5A16S2 中斷致能使用之暫存器說明：

Mnemonic: IE							Address: A8h	
7	6	5	4	3	2	1	0	Reset
EA	ELVD-	EADC	ES0	ET1	EX1	ET0	EX0	00h

Mnemonic: IE2							Address: AFh	
7	6	5	4	3	2	1	0	Reset
-	-	-	-	-	-	ESPI	ES2	00h

Mnemonic: CMOD							Address: D9h	
7	6	5	4	3	2	1	0	Reset
CIDL	-	-	-	CPS2	CPS1	CPS0	ECF	00h

Mnemonic: CCAPM0							Address: DAh	
7	6	5	4	3	2	1	0	Reset
-	-	ECOM0	CAPP0	MAT0	TOG0	PWM0	ECCF0	00h

Mnemonic: CCAPM1							Address: DBh	
7	6	5	4	3	2	1	0	Reset
-	-	ECOM1	CAPP1	MAT1	TOG1	PWM1	ECCF1	00h

b. 中斷優先設定：

新茂中斷優先級設定使用之暫存器說明：

Mnemonic: IP0							Address: A9h	
7	6	5	4	3	2	1	0	Reset
-	-	IP0.5	IP0.4	IP0.3	IP0.2	IP0.1	IP0.0	00h

Mnemonic: IP1							Address: B9h	
7	6	5	4	3	2	1	0	Reset
-	-	IP1.5	IP1.4	IP1.3	IP1.2	IP1.1	IP1.0	00h



IP1.x	IP0.x	Priority Level
0	0	Level0 (lowest)
0	1	Level1
1	0	Level2
1	1	Level3 (highest)

Bit	Group		
IP1.0, IP0.0	External interrupt 0	Serial channel 1 interrupt	PWM interrupt
IP1.1, IP0.1	Timer 0 interrupt	-	SPI interrupt
IP1.2, IP0.2	External interrupt 1	-	ADC interrupt
IP1.3, IP0.3	Timer 1 interrupt	-	KBI interrupt
IP1.4, IP0.4	Serial channel 0 interrupt	-	LVI interrupt
IP1.5, IP0.5	Timer 2 interrupt	-	IIC interrupt

STC12C5A16S2 中斷優先級設定使用之暫存器說明：

Mnemonic: IP **Address: B8h**

7	6	5	4	3	2	1	0	Reset
PPCA	PLVD	PADC	PS	PT1	PX1	PT0	PX0	00h

Mnemonic: IPH **Address: B7h**

7	6	5	4	3	2	1	0	Reset
PPCAH	PLVDH	PADCH	PSH	PT1H	PX1H	PT0H	PX0H	00h

Mnemonic: IP2 **Address: B5h**

7	6	5	4	3	2	1	0	Reset
-	-	-	-	-	-	PSPI	PS2	00h

Mnemonic: IP2H **Address: B6h**

7	6	5	4	3	2	1	0	Reset
-	-	-	-	-	-	PSPIH	PS2H	00h



附件五：看門狗設定不同說明

1. 新茂與 STC 看門狗功能比較：

	新茂	STC
時鐘源	內部獨立之 250KHz RC 震盪器，復位時間固定	與外部晶振共用，復位時間不固定
復位階數	分 16 階，方便使用	分 8 階
復位時間	1.02 m sec ~ 33.55 sec	需依公式計算復位時間

2. 新茂與 STC 看門狗特殊功能暫存器比較：

特殊功能暫存器名稱	新茂名稱及位址	STC 名稱及位址
看門狗功能設定	WDTC (0xB6H)	WDT_CONTR (0xC1H)
看門狗功能重置	WDTK (0xB7H)	WDT_CONTR.CLR_WDT(0xC1H.4)
功能致能暫存器保護	TAKEY (0xF7H) 於此暫存器連續填入 0x55H， 0xAAH 及 0x5AH 以啟動功能	無

3. 新茂與 STC 看門狗之特殊功能暫存器說明：

a. 新茂看門狗功能使用之暫存器說明：

Mnemonic: WDTC						Address: B6h		
7	6	5	4	3	2	1	0	Reset
WDTF	-	WDTE	-	WDTM [3:0]			0	04H

WDTF: Watchdog timer reset flag.

When MCU is reset by watchdog, WDTF flag will be set to one by hardware. This flag clear by software or external reset or power on reset.

WDTE: Control bit used to enable Watchdog timer.

The WDTE bit can be used only if WDTEN is "0". If the WDTEN bit is "0", then WDT can be disabled / enabled by the WDTE bit.

0: Disable WDT.

1: Enable WDT.

The WDTE bit is not used if WDTEN is "1". That is, if the WDTEN bit is "1", WDT is always disabled no matter what the WDTE bit status is. The WDTE bit can be read and written.

WDTM [3:0]: WDT clock source divider bit. Please see table 7.8.1 to reference the WDT time-out period.



Mnemonic: WDTK							Address: B7h	
7	6	5	4	3	2	1	0	Reset
WDTK[7:0]								00h

WDTK: Watchdog timer refresh key.
A programmer must write 0x55 into WDTK register, and then the watchdog timer will be cleared to zero.

Mnemonic: TAKEY							Address: F7h	
7	6	5	4	3	2	1	0	Reset
TAKEY [7:0]								00H

範例程式：於使用看門狗功能時需先使用 ISP 或 ICP 方式啟動看門狗功能，再於程式中再次啟動看門狗，看門狗功能才能正常使用

```
MOV TAKEY, #55h
MOV TAKEY, #0AAh
MOV TAKEY, #5Ah      ; 啟動 WDTK 寫入功能.
MOV WDTK, #28h      ; 設定看門狗復位時間為 262.14 毫秒，並啟動看門狗功能
.
.
.
MOV WDTK, #55h      ; 清除看門狗計數器.
```

WDTM [3:0]	Divider (250 KHz RC oscillator in)	Time period @ 250KHz
0000	1	1.02ms
0001	2	2.05ms
0010	4	4.10ms
0011	8	8.19ms
0100	16	16.38ms (default)
0101	32	32.77ms
0110	64	65.54ms
0111	128	131.07ms
1000	256	262.14ms
1001	512	524.29ms
1010	1024	1.05s
1011	2048	2.10s
1100	4096	4.19s
1101	8192	8.39s
1110	16384	16.78s
1111	32768	33.55s



b. STC 看門狗功能使用之暫存器說明：

Mnemonic: WDT_CONTR

Address: C1h

7	6	5	4	3	2	1	0	Reset
WDT_FLAG	-	EN_WDT	CLR_WDT	IDLE_WDT	PS2	PS1	PS0	04H

PS [2:0]	Divider	Time period @ 20MHz
000	2	39.3ms
001	4	78.6ms
010	8	157.3ms
011	16	314.6ms
100	32	629.1ms
101	64	1.25s
110	128	2.5s
111	256	5s

PS [2:0]	Divider	Time period @ 12MHz
000	2	65.5ms
001	4	131.0ms
010	8	262.1ms
011	16	524.2ms
100	32	1.0485s
101	64	2.0971s
110	128	4.1943s
111	256	8.3886s



附件六：PCA 設定不同說明

新茂使用定時器 2 之捕獲模式以模擬業界常使用之 PCA 功能，並提供四個通道供使用。

新茂另提供四個通道之 PWM 功能於 P4.0~P4.3，且有獨立之中斷向量。(將說明於附件七)

1. 新茂與 STC PCA 功能比較：

	新茂	STC
中斷向量	0x2BH	0x3BH
通道數	1. 4 個 16 位捕獲/比較模塊。 CC0(P1.0 or P4.0) CC1(P1.1 or P4.1) CC2(P1.3 or P4.2) CC3(P1.4 or P4.3)	1. 2 個 16 位捕獲/比較模塊。 CCP0(P1.3 or P4.2) CCP1(P1.4 or P4.3)
模式	1. 3 個上升沿捕獲(CC1~CC3)及 1 個可上升沿或下降沿捕獲 (CC0)。 2. 16 位定時/計數器。 3. 可調制脈衝輸出(PWM)，將說明 於附件七。	1. 上升/下降沿捕獲。 2. 16 位軟件定時器。 3. 高速輸出。 4. 可調制脈衝輸出(PWM)。

2. 新茂與 STC PCA 特殊功能暫存器比較：

特殊功能暫存器名稱	新茂名稱及位址	STC 名稱及位址
通道切換	AUX.P4CC(0x91H.6)	AUXR1.PCA_P4(0xA2H.6)
功能設定	T2CON (0xC8H)	CCON (0xD8H)
比較/捕獲功能設定	CCCON (0xC9H)	CMOD (0xD9H)
比較/捕獲功能致能	CCEN (0xC1H)	CCAPM0 (0xDAH) CCAPM1 (0xDBH)
計時器 2 低位元	TL2 (0xCCH)	CL (0xE9H)
計時器 2 高位元	TH2 (0xCDH)	CH (0xF9H)
重載及比較/捕獲模塊 0 低位元	CRCL (0xCAH)	CCAP0L (0xEAH)
重載及比較/捕獲模塊 0 高位元	CRCH (0xCBH)	CCAP0H (0FAH)
比較/捕獲模塊 1 低位元	CCL1 (0xC2H)	CCAP1L (0xEBH)
比較/捕獲模塊 1 高位元	CCH1 (0xC3H)	CCAP1H (0FBH)
比較/捕獲模塊 2 低位元	CCL2 (0xC4H)	無
比較/捕獲模塊 2 高位元	CCH2 (0xC5H)	無
比較/捕獲模塊 3 低位元	CCL3 (0xC6H)	無
比較/捕獲模塊 3 高位元	CCH3 (0xC7H)	無



3. 新茂與 STC PCA 之特殊功能暫存器說明：

a. 新茂功能使用之暫存器說明：

Mnemonic: T2CON							Address: C8h	
7	6	5	4	3	2	1	0	Reset
T2PS	CC0FR	-	T2R[1:0]	T2CM	T2I[1:0]			00h

- T2PS: Prescaler select bit:
 T2PS = 0 – timer 2 is clocked with 1/12 of the oscillator frequency.
 T2PS = 1 – timer 2 is clocked with 1/24 of the oscillator frequency.
- CC0FR: Select active edge:
 CC0FR = 0 – falling edge
 CC0FR = 1 – rising edge
- T2R[1:0]: Timer 2 reload mode selection
 T2R[1:0] = 0X – Reload disabled
 T2R[1:0] = 10 – Mode 0
 T2R[1:0] = 11 – Mode 1
- T2CM: Timer 2 Compare mode selection
 T2CM = 0 – Mode 0
 T2CM = 1 – Mode 1
- T2I[1:0]: Timer 2 input selection
 T2I[1:0] = 00 – Timer 2 stop
 T2I[1:0] = 01 – Input frequency f/12 or f/24
 T2I[1:0] = 10 – Timer 2 is incremented by external signal at pin T2
 T2I[1:0] = 11 – internal clock input is gated to the Timer 2

Mnemonic: CCCON							Address: C9h	
7	6	5	4	3	2	1	0	Reset
CCI3	CCI2	CCI1	CCI0	CCF3	CCF2	CCF1	CCF0	00H

- CCI3: Compare/Capture 3 interrupt control bit.
 “1” is enable.
- CCI2: Compare/Capture 2 interrupt control bit.
 “1” is enable.
- CCI1: Compare/Capture 1 interrupt control bit.
 “1” is enable.
- CCI0: Compare/Capture 0 interrupt control bit.
 “1” is enable.
- CCF3: Compare/Capture 3 flag set by hardware. This flag can be cleared by software.
 CCF2: Compare/Capture 2 flag set by hardware. This flag can be cleared by software.
 CCF1: Compare/Capture 1 flag set by hardware. This flag can be cleared by software.
 CCF0: Compare/Capture 0 flag set by hardware. This flag can be cleared by software.

Compare/Capture interrupt share T2 interrupt vector.



Mnemonic: CCEN

Address: C1h

7	6	5	4	3	2	1	0	Reset
COCAH3	COCAL3	COCAH2	COCAL2	COCAH1	COCAL1	COCAH0	COCAL0	00H

COCAH3,COCAL3: Compare/capture mode for Channel 3.

COCAH3	COCAL3	Function
0	0	Compare/capture disable
0	1	Capture on rising edge at pin CC3
1	0	Compare enable
1	1	Capture on write operation into register CCL3

COCAH2,COCAL2: Compare/Capture mode for Channel 2.

COCAH2	COCAL2	Function
0	0	Compare/capture disable
0	1	Capture on rising edge at pin CC2
1	0	Compare enable
1	1	Capture on write operation into register CCL2

COCAH1,COCAL1: Compare/Capture mode for Channel 1.

COCAH1	COCAL1	Function
0	0	Compare/capture disable
0	1	Capture on rising edge at pin CC1
1	0	Compare enable
1	1	Capture on write operation into register CCL1

COCAH0,COCAL0: Compare/Capture mode for CRC register (Channel 0)

COCAH0	COCAL0	Function
0	0	Compare/capture disable
0	1	Capture on falling/rising edge at pin CC0
1	0	Compare enable
1	1	Capture on write operation into register CRCL

b. STC PCA 功能使用之暫存器說明：

Mnemonic: CCON

Address: D8h

7	6	5	4	3	2	1	0	Reset
CF	CR	-	-	-	-	CCF1	CCF0	00H

Mnemonic: CMOD

Address: D9h

7	6	5	4	3	2	1	0	Reset
CIDL	-	-	-	CPS2	CPS1	CPS0	ECF	00H

CPS2	CPS1	CPS0	PCA/PWM 時鐘源輸入
0	0	0	Fosc/12
0	0	1	Fosc/2
0	1	0	定時器 0 的溢出
0	1	1	ECl(P1.2 or P4.1)外部時鐘輸入；最大 Fosc/2
1	0	0	Fosc
1	0	1	Fosc/4
1	1	0	Fosc/6
1	1	1	Fosc/8



Mnemonic: CCAPMn, n:0,1

Address: DAh,DBh

7	6	5	4	3	2	1	0	Reset
-	ECOMn	CAPPn-	CAPNn	MATn	TOGn	PWMn	ECCFn	00H

ECOMn	CAPPn-	CAPNn	MATn	TOGn	PWMn	ECCFn	模塊功能
0	0	0	0	0	0	0	無此操作
1	0	0	0	0	1	0	8 位 PWM,無中斷
1	1	0	0	0	1	1	8 位 PWM,由低變高可產生中斷
1	0	1	0	0	1	1	8 位 PWM,由高變低可產生中斷
1	1	1	0	0	1	1	8 位 PWM, 由低變高或者由高變低均可產生中斷
X	1	0	0	0	0	X	16 位捕獲模式,由 CEXn/PCAn 的上升沿觸發
X	0	1	0	0	0	X	16 位捕獲模式,由 CEXn/PCAn 的下降沿觸發
X	1	1	0	0	0	X	16 位捕獲模式,由 CEXn/PCAn 的跳變觸發
1	0	0	1	0	0	X	16 位軟件定時器
1	0	0	1	1	0	X	16 位高速輸出

Mnemonic: CL

Address: E9h

7	6	5	4	3	2	1	0	Reset
								00H

Mnemonic: CH

Address: F9h

7	6	5	4	3	2	1	0	Reset
								00H

Mnemonic: CCAPnL, n:0,1

Address: EAh,EBh

7	6	5	4	3	2	1	0	Reset
								00H

Mnemonic: CCAPnH, n:0,1

Address: FAh,FBh

7	6	5	4	3	2	1	0	Reset
								00H



附件七：PWM 設定不同說明

新茂提供四個通道之 PWM 功能於 P4.0~P4.3，且有獨立之中斷向量。

STC 之 PWM 功能與 PCA 功能共用 I/O。

1. 新茂與 STC PWM 功能比較：

	新茂	STC
中斷向量	0x43H	0x3BH(與 PCA 共用)
通道數	1. 4 個 10 位 PWM 模塊。 PWM0(P4.0) PWM1(P4.1) PWM2(P4.2) PWM3(P4.3)	1. 2 個 8 位 PWM 模塊。 PWM0(P1.3 or P4.2) PWM1(P1.4 or P4.3)
特點	1. 使用獨立之 I/O 及中斷向量。 2. 可設定 PWM I/O 之初始位準。 3.	1. 與 PCA 共用 I/O 及中斷向量。 2. I/O 需設定成雙向口或輸出口，並需加輸出限流電阻 1K~10K。

2. 新茂與 STC PWM 特殊功能暫存器比較：

特殊功能暫存器名稱	新茂名稱及位址	STC 名稱及位址
功能設定	PWMC (0xB5H)	CMOD (0xD9H)
		CCAPM0 (0xDAH) CCAPM1 (0xDBH)
PWM 最大值低位元	PWMMDL (0xCFH)	CL (0xE9H)
PWM 最大值高位元	PWMMDH (0xCEH)	無
PWM 模塊 0 低位元	PWMD0L (0xBDH)	CCAP0L (0xEAH)
PWM 模塊 0 高位元	PWMD0H (0xBCH)	CCAP0H (0FAH)
PWM 模塊 0 輔助暫存器	無	PCA_PWM0(0xF2H)
PWM 模塊 1 低位元	PWMD1L (0xBFH)	CCAP1L (0xEBH)
PWM 模塊 1 高位元	PWMD1H (0xBEH)	CCAP1H (0FBH)
PWM 模塊 1 輔助暫存器	無	PCA_PWM1(0xF3H)
PWM 模塊 2 低位元	PWMD2L (0xB2H)	無
PWM 模塊 2 高位元	PWMD2H (0xB1H)	無
PWM 模塊 3 低位元	PWMD3L (0xB4H)	無
PWM 模塊 3 高位元	PWMD3H (0xB3H)	無



3. 新茂與 STC PWM 之特殊功能暫存器說明：

a. 新茂 PWM 功能使用之暫存器說明：

Mnemonic: PWMC							Address: B5h	
7	6	5	4	3	2	1	0	Reset
PWMCS[2:0]			-	PWM3EN	PWM2EN	PWM1EN	PWM0EN	00H

PWMCS[2:0]: PWM clock select.

PWMCS [2:0]	Mode
000	Fosc
001	Fosc/2
010	Fosc/4
011	Fosc/6
100	Fosc/8
101	Fosc/12
110	Timer 0 overflow
111	Timer 0 external input (P3.4/T0)

- PWM3EN: PWM channel 3 enable control bit.
PWM3EN = 1 – PWM channel 3 enable.
PWM3EN = 0 – PWM channel 3 disable.
- PWM2EN: PWM channel 2 enable control bit.
PWM2EN = 1 – PWM channel 2 enable.
PWM2EN = 0 – PWM channel 2 disable.
- PWM1EN: PWM channel 1 enable control bit.
PWM1EN = 1 – PWM channel 1 enable.
PWM1EN = 0 – PWM channel 1 disable.
- PWM0EN: PWM 0 enable control bit.
PWM0EN = 1 – PWM channel 0 enable.
PWM0EN = 0 – PWM channel 0 disable.

Mnemonic: PWMDnH, n:0,1,2,3					Address: BCh,BEh,B1h,B3h			
7	6	5	4	3	2	1	0	Reset
PWMPn	-	-	-	-	-	PWMDn[9:8]		00H

Mnemonic: PWMDnL, n:0,1,2,3					Address: BDh,BFh,B2h,B4h			
7	6	5	4	3	2	1	0	Reset
PWMDn[7:0]								00h

- PWMPn: PWM channel n idle polarity select.
“0” – PWM channel n will idle low.
“1” – PWM channel n will idle high.
- PWMDn[9:0]: PWM channel n data register.



Mnemonic: PWMMDH							Address: CEh	
7	6	5	4	3	2	1	0	Reset
-	-	-	-	-	-	PWMMD[9:8]		00H

Mnemonic: PWMMDL							Address: CFh	
7	6	5	4	3	2	1	0	Reset
PWMMD[7:0]							FFH	

PWMMD[9:0]: PWM Max Data register.

PWM count from 0000h to PWMMD[9:0]. When PWM count data equal PWMMD[9:0] is overflow.

當使用新茂之 PWM 功能時，僅需對 PWMC 中 PWMnEN 置位即可。

當 PWMDn[9:0]之值小於 PWMMD[9:0]時，PWMn 口輸出狀態不變。

當 PWMDn[9:0]之值等於 PWMMD[9:0]時，PWMn 口輸出狀態改變。

當 PWMPn= 0 & PWMDn[9:0] = 00h 時，PWMn 口輸出固定為低。

當 PWMPn= 1 & PWMDn[9:0] = 00h 時，PWMn 口輸出固定為低。

b. STC PWM 功能使用之暫存器說明：

Mnemonic: CMOD							Address: D9h	
7	6	5	4	3	2	1	0	Reset
CIDL	-	-	-	CPS2	CPS1	CPS0	ECF	00H

CPS2	CPS1	CPS0	PCA/PWM 時鐘源輸入
0	0	0	Fosc/12
0	0	1	Fosc/2
0	1	0	定時器 0 的溢出
0	1	1	ECl(P1.2 or P4.1)外部時鐘輸入；最大 Fosc/2
1	0	0	Fosc
1	0	1	Fosc/4
1	1	0	Fosc/6
1	1	1	Fosc/8

Mnemonic: CCAPMn, n:0,1							Address: DAh,DBh	
7	6	5	4	3	2	1	0	Reset
-	ECOMn	CAPPn-	CAPNn	MATn	TOGn	PWMn	ECCFn	00H



ECOMn	CAPPn-	CAPNn	MATn	TOGn	PWMn	ECCFn	模塊功能
0	0	0	0	0	0	0	無此操作
1	0	0	0	0	1	0	8 位 PWM, 無中斷
1	1	0	0	0	1	1	8 位 PWM, 由低變高可產生中斷
1	0	1	0	0	1	1	8 位 PWM, 由高變低可產生中斷
1	1	1	0	0	1	1	8 位 PWM, 由低變高或者由高變低均可產生中斷
X	1	0	0	0	0	X	16 位捕獲模式, 由 CEXn/PCAn 的上升沿觸發
X	0	1	0	0	0	X	16 位捕獲模式, 由 CEXn/PCAn 的下降沿觸發
X	1	1	0	0	0	X	16 位捕獲模式, 由 CEXn/PCAn 的跳變觸發
1	0	0	1	0	0	X	16 位軟件定時器
1	0	0	1	1	0	X	16 位高速輸出

Mnemonic: CL

Address: E9h

7	6	5	4	3	2	1	0	Reset
								00H

Mnemonic: CCAPnL, n:0,1

Address: EAh, EBh

7	6	5	4	3	2	1	0	Reset
								00H

Mnemonic: CCAPnH, n:0,1

Address: FAh, FBh

7	6	5	4	3	2	1	0	Reset
								00H

Mnemonic: PCA_PWMn, n:0,1

Address: F2h, F3h

7	6	5	4	3	2	1	0	Reset
-	-	-	-	-	-	EPCnH	EPCnL	00H

當使用 STC 之 PWM 功能時，CCAPMn 中 PWMn 及 ECOMn 位必須置位。

當 CL 的值小於 { EPCnL, CCAPnL } 時，PWMn 口輸出為高。

當 CL 的值大於 { EPCnL, CCAPnL } 時，PWMn 口輸出為低。

當 CL 的值由 FF 變為 00 溢出時，{ EPCnH, CCAPnH } 的內容裝載到 { EPCnL, CCAPnL } 中。

當 EPCnL=0 及 CCAPnL=00 時，PWMn 口輸出固定為高。

當 EPCnL=1 及 CCAPnL=FF 時，PWMn 口輸出固定為低。



附件八：MDU 設定說明

新茂提供硬體快速的除法運算(32/16-bit & 16/16-bit division)、乘法運算(16*16-bit multiplication)、位移功能(32-bit shift)及歸一化(normalize)功能。

STC 並未提供此硬體功能。

1. 新茂 MDU 使用之特殊功能暫存器：

Mnemonic	Description	Direct	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	RESET
Multiplication Division Unit											
PCON	Power control	87H	SMOD	MDUF	-	-	-	-	STOP	IDLE	40H
ARCON	Arithmetic Control register	EFh	MDEF	MDOV	SLR	SC[4:0]				00H	
MD0	Multiplication/Division Register 0	E9h	MD0[7:0]							00H	
MD1	Multiplication/Division Register 1	EAh	MD1[7:0]							00H	
MD2	Multiplication/Division Register 2	EBh	MD2[7:0]							00H	
MD3	Multiplication/Division Register 3	ECh	MD3[7:0]							00H	
MD4	Multiplication/Division Register 4	EDh	MD4[7:0]							00H	
MD5	Multiplication/Division Register 5	EEh	MD5[7:0]							00H	

2. 新茂 MDU 功能使用之暫存器說明：

Mnemonic: PCON								Address: 87h	
7	6	5	4	3	2	1	0	Reset	
SMOD	MDUF	-	-	-	-	STOP	IDLE	40h	

MDUF: MDU finish flag.

When MDU is finished, the MDUF will be set by hardware and the bit will clear by hardware at next calculation.

Mnemonic: ARCON								Address: EFh	
7	6	5	4	3	2	1	0	Reset	
MDEF	MDOV	SLR	SC[4:0]				00H		

MDEF: Multiplication Division Error Flag.

The MDEF is an error flag. The error flag is read only. The error flag indicates an improperly performed operation (when one of the arithmetic operations has been restarted or interrupted by a new operation). The



error flag mechanism is automatically enabled with the first write to MD0 and disabled with the final read instruction from MD3 multiplication or shift/normalizing) or MD5 (division) in phase three.

The error flag is set when:

1. Phase two in process and write access to mdx registers (restart or interrupt calculations)

The error flag is reset only if:

Phase two finished (arithmetic operation successful completed) and read access to MDx registers.

MDOV: Multiplication Division Overflow flag. The overflow flag is read only.

The overflow flag is set when:

1. Division by Zero
2. Multiplication with a result greater than 0000FFFFh
3. Start of normalizing if the most significant bit of MD3 is set(MD3.7=1)

The overflow flag is reset when:

Write access to MD0 register(Start Phase one)

SLR: Shift direction bit.

SLR = 0 – shift left operation.

SLR = 1 – shift right operation.

SC[4:0]: Shift counter.

When preset with 00000b, normalizing is selected. After normalize sc.0 – sc.4 contains the number of normalizing shifts performed. When sc.4 – sc.0 ≠ 0, shift operation is started. The number of shifts performed is determined by the count written to sc.4 to sc.0.

sc.4 – MSB ... sc.0 – LSB

3. MDU 功能操作說明：

步驟一： 寫入 MDx (x = 0~5) 暫存器，說明如下：

使用MDU運算時，必須注意寫入的順序；所有的應用當中MD0都是在第一個被寫入(First write)的暫存器，其它暫存器仍必須依順序寫入，而當最後一個暫存器被寫入(Last write)時，MDU即開始做運算處理：

Operation	32bit/16bit	16bit/16bit	16bit x 16bit	shift/normalizing
First write	MD0 Dividend Low	MD0 Dividend Low	MD0 Multiplicand Low	MD0 LSB
	MD1 Dividend	MD1 Dividend High	MD4 Multiplier Low	MD1
	MD2 Dividend		MD1 Multiplicand High	MD2
	MD3 Dividend High			MD3 MSB
	MD4 Divisor Low	MD4 Divisor Low		
Last write	MD5 Divisor High	MD5 Divisor High	MD5 Multiplier High	ARCON start conversion

步驟二： 執行計算



MDU是否完成計算，可由MDUF(PCON.6)旗標判斷；當完成時由硬體設定為”1”，在下一次執行計算時硬體會自動清除。

步驟三： 由MDx (x = 0~5) 暫存器讀取結果：

讀取的順序唯一要注意的是“**Last read**”，此位元組的部份必須最後才被讀出。

Operation	32Bit/16Bit	16Bit/16Bit	16Bit x 16Bit	shift/normalizing
First read	MD0 Quotient Low	MD0 Quotient Low	MD0 Product Low	MD0 LSB
	MD1 Quotient	MD1 Quotient High	MD1 Product	MD1
	MD2 Quotient		MD2 Product	MD2
	MD3 Quotient High			
	MD4 Remainder L	MD4 Remainder Low		
Last read	MD5 Remainder H	MD5 Remainder High	MD3 Product High	MD3 MSB



附件九：ADC設定不同說明

新茂提供八個通道之 ADC 功能於 P1.0~P1.7，且有獨立之中斷向量。

1. 新茂與 STC ADC 功能比較：

	新茂	STC
中斷向量	0x53H	0x2BH
通道數	1. 8 個 10 位 ADC 模塊。 ADC0(P1.0) ADC1(P1.1) ADC2(P1.2) ADC3(P1.3) ADC4(P1.4) ADC5(P1.5) ADC6(P1.6) ADC7(P1.7)	1. 8 個 10 位 ADC 模塊。 ADC0(P1.0) ADC1(P1.1) ADC2(P1.2) ADC3(P1.3) ADC4(P1.4) ADC5(P1.5) ADC6(P1.6) ADC7(P1.7)
特點	1. ADC 轉換時間有 32 組可選擇。 2. ADC 轉換速度達為 500KHz。	1. ADC 轉換時間只有 4 組可選擇。 2. ADC 轉換速度為 250KHz。

2. 新茂與 STC ADC 特殊功能暫存器比較：

特殊功能暫存器名稱	新茂名稱及位址	STC 名稱及位址
ADC 通道致能	ADCC1 (0xABH)	P1ASF (0x9DH)
ADC 轉換功能控制設定	ADCC2 (0xACH)	ADC_CONTR (0xBCH)
	ADCCS (0xAFH)	AUXR1(0xA2H)
ADC 轉換結果高位元	ADCDH(0xADH)	ADC_RES(0xBDH)
ADC 轉換結果低位元	ADC DL (0xAEH)	ADC_RESL (0xBEH)

3. 新茂與 STC ADC 之特殊功能暫存器說明：

a. 新茂 ADC 功能使用之暫存器說明：

Mnemonic: ADCC1								Address: ABh
7	6	5	4	3	2	1	0	Reset
ADC7EN	ADC6EN	ADC5EN	ADC4EN	ADC3EN	ADC2EN	ADC1EN	ADC0EN	00H

ADC7EN: ADC channels 7 enable.

ADC7EN = 1 – Enable ADC channel 7

ADC6EN: ADC channels 6 enable.

ADC6EN = 1 – Enable ADC channel 6

ADC5EN: ADC channels 5 enable.

ADC5EN = 1 – Enable ADC channel 5

ADC4EN: ADC channels 4 enable.

ADC4EN = 1 – Enable ADC channel 4



ADC3EN: ADC channels 3 enable.
ADC3EN = 1 – Enable ADC channel 3
ADC2EN: ADC channels 2 enable.
ADC2EN = 1 – Enable ADC channel 2
ADC1EN: ADC channels 1 enable.
ADC1EN = 1 – Enable ADC channel 1
ADC0EN: ADC channels 0 enable.
ADC0EN = 1 – Enable ADC channel 0

Mnemonic: ADCC2						Address: ACh		
7	6	5	4	3	2	1	0	Reset
Start	ADJUST	-	-	-	ADCCH[2:0]			00H

Start: When this bit is set, the ADC will be start conversion.
ADJUST: Adjust the format of ADC conversion DATA.
ADJUST = 0: (default value)
ADC data high byte ADCD [9:2] = ADCDH [7:0].
ADC data low byte ADCD [1:0] = ADCDL [1:0].
ADJUST = 1:
ADC data high byte ADCD [9:8] = ADCDH [1:0].
ADC data low byte ADCD [7:0] = ADCDL [7:0].

ADCCH[2:0]: ADC channel select.

ADCCH [2:0]	Channel
000	0
001	1
010	2
011	3
100	4
101	5
110	6
111	7

ADJUST = 0:

Mnemonic: ADCDH								Address: ADh	
7	6	5	4	3	2	1	0	Reset	
ADCD[9]	ADCD[8]	ADCD[7]	ADCD[6]	ADCD[5]	ADCD[4]	ADCD[3]	ADCD[2]	00H	

Mnemonic: ADCDL							Address: AEh		
7	6	5	4	3	2	1	0	Reset	
-	-	-	-	-	-	ADCD[1]	ADCD[0]	00H	

ADJUST = 1:

Mnemonic: ADCDH								Address: ADh	
7	6	5	4	3	2	1	0	Reset	
-	-	-	-	-	-	ADCD[9]	ADCD[8]	00H	

Mnemonic: ADCDL								Address: AEh	
7	6	5	4	3	2	1	0	Reset	
ADCD[7]	ADCD[6]	ADCD[5]	ADCD[4]	ADCD[3]	ADCD[2]	ADCD[1]	ADCD[0]	00H	

ADCD[9:0]: ADC data register.



Mnemonic: ADCCS

Address: AFh

7	6	5	4	3	2	1	0	Reset
-	-	-	ADCCS[4]	ADCCS[3]	ADCCS[2]	ADCCS[1]	ADCCS[0]	00H

ADCCS[4:0]: ADC clock select.

*The ADC clock maximum 12.5MHz.

*The ADC Conversion rate maximum 500KHz.

ADCCS[4:0]	ADC Clock(HZ)	Clocks for ADC Conversion
00000	Fclk/2	46
00001	Fclk/4	92
00010	Fclk/6	138
00011	Fclk/8	184
00100	Fclk/10	230
00101	Fclk/12	276
00110	Fclk/14	322
00111	Fclk/16	368
01000	Fclk/18	414
01001	Fclk/20	460
01010	Fclk/22	506
01011	Fclk/24	552
01100	Fclk/26	598
01101	Fclk/28	644
01110	Fclk/30	690
01111	Fclk/32	736
10000	Fclk/34	782
10001	Fclk/36	828
10010	Fclk/38	874
10011	Fclk/40	920
10100	Fclk/42	966
10101	Fclk/44	1012
10110	Fclk/46	1058
10111	Fclk/48	1104
11000	Fclk/50	1150
11001	Fclk/52	1196
11010	Fclk/54	1242
11011	Fclk/56	1288
11100	Fclk/58	1334
11101	Fclk/60	1380
11110	Fclk/62	1426
11111	Fclk/64	1472

$$ADC_Clock = \frac{Fclk}{2 \times (ADCCS + 1)}$$

$$ADC_Conversion_Rate = \frac{ADC_Clock}{23}$$



b. STC ADC 功能使用之暫存器說明：

Mnemonic: P1ASF								Address: 9Dh	
7	6	5	4	3	2	1	0	Reset	
P17ASF	P16ASF	P15ASF	P14ASF	P13ASF	P12ASF	P11ASF	P10ASF	00H	

Mnemonic: ADC_CONTR								Address: BCh	
7	6	5	4	3	2	1	0	Reset	
ADC_POWER	SPEED1	SPEED0	ADC_FLAG	ADC_START	CHS2	CHS1	CHS0	00H	

ADC_POWER: =0 : 關閉 ADC 電源

SPEED[1:0] ADC 轉換速度控制.

SPEED [1:0]	A/D 轉換所需時間
00	540 個時鐘周期
01	360 個時鐘周期
10	180 個時鐘周期
11	90 個時鐘周期

ADC_FLAG: =1 : A/D 轉換完成，並產生中斷，需由軟體清"0"

ADC_START =1 : A/D 開始轉換，轉換結束後為"0"

CHS[2:0]: ADC channel select.

CHS [2:0]	Channel
000	0
001	1
010	2
011	3
100	4
101	5
110	6
111	7

Mnemonic: AUXR1								Address: A2H	
7	6	5	4	3	2	1	0	Reset	
-	PCA_P4	SPI_P4	S2_P4	GF2	ADRJ	-	DPS	00H	

ADRJ = 0:

Mnemonic: ADC_RES								Address: BDh	
7	6	5	4	3	2	1	0	Reset	
ADC_RES9	ADC_RES8	ADC_RES7	ADC_RES6	ADC_RES5	ADC_RES4	ADC_RES3	ADC_RES2	00H	

Mnemonic: ADC_RES1								Address: BEh	
7	6	5	4	3	2	1	0	Reset	
-	-	-	-	-	-	ADC_RES1	ADC_RES0	00H	

ADRJ= 1:

Mnemonic: ADC_RES								Address: BDh	
7	6	5	4	3	2	1	0	Reset	
-	-	-	-	-	-	ADC_RES9	ADC_RES8	00H	



Mnemonic: ADC_RESL							Address: BEh	
7	6	5	4	3	2	1	0	Reset
ADC_RES7	ADC_RES6	ADC_RES5	ADC_RES4	ADC_RES3	ADC_RES2	ADC_RES1	ADC_RES0	00H

ADC_RES[9:0]: ADC data register.



附件十：SPI 設定不同說明

1. 新茂與 STC SPI 功能比較：

	新茂	STC
中斷向量	0x4BH	0x4BH
通道數	1. SPI 模塊 I/O 說明。 SPI_SS(P1.4 or P4.0) SPI_MOSI(P1.5 or P4.1) SPI_MISO(P1.6 or P4.2) SPI_CLK(P1.7 or P4.3)	1. SPI 模塊 I/O 說明。 SS(P1.4 or P4.0) MOSI(P1.5 or P4.1) MISO(P1.6 or P4.2) SPICLK(P1.7 or P4.3)
特點	1. SPI_CLK 有 8 組可選擇。 2. 有全雙工模式，可同時傳送及接收。	1. SPICLK 只有 4 組可選擇。 2. 不可同時傳送及接收。

2. 新茂與 STC SPI 特殊功能暫存器比較：

特殊功能暫存器名稱	新茂名稱及位址	STC 名稱及位址
通道切換	AUX.P4SPI(0x91H.5)	AUXR1.SPI_P4(0xA2H.5)
功能設定 1	SPIC1 (0xF1H)	SPCTL(0xCEH)
功能設定 2	SPIC2 (0xF2H)	
狀態暫存器	SPIS (0xF5H)	SPSTAT(0xCDH)
傳送資料緩衝器	SPITxD (0xF3H)	SPDAT (0xCFH)
接收資料緩衝器	SPIRxD (0xF4H)	

3. 新茂與 STC SPI 之特殊功能暫存器說明：

a. 新茂 SPI 功能使用之暫存器說明：

SPI	Description	Direct	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	RESET	
SPI function												
AUX	Auxiliary register	91h	BRGS	P4CC	P4SPI	P4UR1	P4IIC	P0KBI	-	DPS	00H	
SPIC1	SPI control register 1	F1h	SPIEN	SPIMSS	SPISSP	SPICKP	SPICKE	SPIBR[2:0]			08H	
SPIC2	SPI control register 2	F2h	SPIFD	TBC[2:0]			-	RBC[2:0]			00H	
SPIS	SPI status register	F5h	-	SPIMLS	SPIOV	SPITXIF	SPITDR	SPIRXIF	SPIRDR	SPIRS	40H	
SPITXD	SPI transmit data buffer	F3h	SPITXD[7:0]									00H
SPIRXD	SPI receive data buffer	F4h	SPIRXD[7:0]									00H

Mnemonic: AUX

Address: 91h

7	6	5	4	3	2	1	0	Reset
BRGS	P4CC	P4SPI	P4UR1	P4IIC	P0KBI	-	DPS	00H



P4SPI: P4SPI = 0 – SPI function on P1.
P4SPI = 1 – SPI function on P4.

P4SPI setting	SPI SS	SPI MOSI	SPI MISO	SPI_CLK
0	P1.4	P1.5	P1.6	P1.7
1	P4.0	P4.1	P4.2	P4.3

Mnemonic: SPIC1						Address: F1h	
7	6	5	4	3	2	1	0
SPIEN	SPIMSS	SPISSP	SPICKP	SPICKE	SPIBR[2:0]		Reset
							08h

SPIEN: SPI 模組致能旗標：

“1” – 致能

“0” – 禁能

SPIMSS: 主從模式選擇旗標 (Master or Slave mode Select)

“1” – MCU 做為 Master mode.

“0” – MCU 做為 Slave mode.

SPISSP: (SS)引腳致能狀態旗標；當 MCU 為 slave 時，可由旗標設定 Slave Select (SS)引腳致能狀態 (slave mode used only)

“1” – 高準位致能 high active.

“0” – 低準位致能 low active.

SPICKP: 時脈閒置準位旗標(master mode used only)

“1” – 時脈信號閒置時為高準位(SCK high during idle), Ex :



“0” – 時脈信號閒置時為低準位(SCK high during idle), Ex :

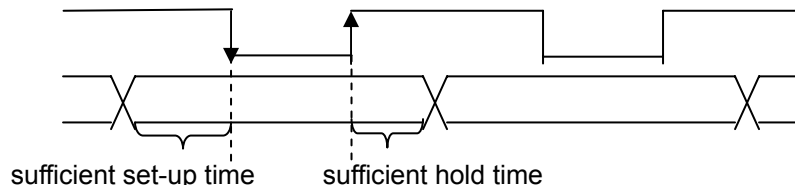


SPICKE: 時脈取樣旗標 Clock sample edge select.

“1” – 正緣取樣 data latch in rising edge

“0” – 負緣取樣 data latch in falling edge.

* 為確保資料取樣的正確性，無論使用正緣或負緣取樣，時脈及資料同步時皆需有足夠的準備時間 (set-up time)及保持時間(hold time)，時序產生如下圖：



SPIBR[2:0]: SPI 鮑率選擇(master mode used only), Fosc 為晶振頻率：

SPIBR[2:0]	Baud rate
0:0:0	Fosc/4
0:0:1	Fosc/8
0:1:0	Fosc/16
0:1:1	Fosc/32
1:0:0	Fosc/64
1:0:1	Fosc/128
1:1:0	Fosc/256
1:1:1	Fosc/512



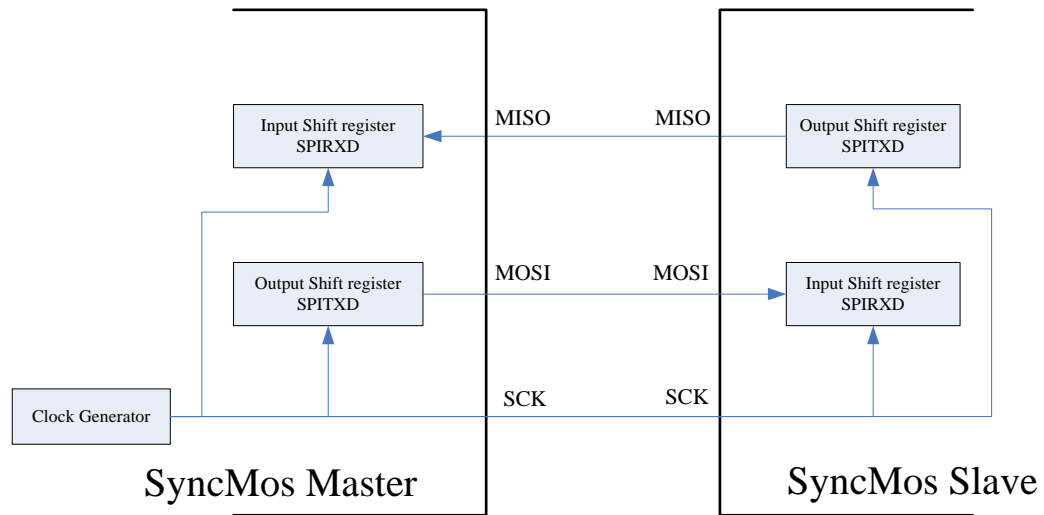
Mnemonic: SPIC2				Address: F2h			
7	6	5	4	3	2	1	0
SPIFD	TBC[2:0]			-	RBC[2:0]		Reset
							00h

SPIFD: 全雙工模式致能旗標(Full-duplex mode enable)

“1”：全雙工模式致能

“0”：全雙工模式禁能

當該旗標致能時，TBC[2:0]和RBC[2:0]會被清除並保持為零，SPI全雙工模式僅允許8位元通訊。Master透過MOSI引腳做資料輸出，slave時透過MISO回傳資料，SPI的時脈信號由master主控產生；所有資料（輸出及輸入）皆和時脈同步。



TBC[2:0]: SPI 傳送元位計數旗標(SPI transmitter bit counter)

可設定 1~8 位元通訊，但全雙工模式僅允許 8 位元通訊。

TBC[2:0]	Bit counter
0:0:0	8 bits output
0:0:1	1 bit output
0:1:0	2 bits output
0:1:1	3 bits output
1:0:0	4 bits output
1:0:1	5 bits output
1:1:0	6 bits output
1:1:1	7 bits output

RBC[2:0]: SPI 接收元位計數旗標(SPI receiver bit counter)

可設定 1~8 位元通訊，但全雙工模式僅允許 8 位元通訊。

RBC[2:0]	Bit counter
0:0:0	8 bits input
0:0:1	1 bit input
0:1:0	2 bits input
0:1:1	3 bits input
1:0:0	4 bits input
1:0:1	5 bits input
1:1:0	6 bits input
1:1:1	7 bits input



Mnemonic: SPIS								Address: F5h	
7	6	5	4	3	2	1	0	Reset	
-	SPIMLS	SPIOV	SPITXIF	SPITDR	SPIRXIF	SPIRDR	SPIRS	40h	

SPIMLS: MSB or LSB output /input first

“1”：最高位元先傳送 (MSB output/input first)。

“0”：最低位元先傳送 (LSB output/input first)。

SPIOV: 溢位旗標(Overflow flag)

“1”：當 SPIRDR 已設定 (SPIRXD 原有資料未被讀取) 且下一筆資料正寫入 SPIRXD 時，SPIOV 將被設定為“1”，告知 SPIRXD 資料以有損毀。

“0”：當 SPIRDR 清為零時，SPIOV 則由硬體清除。

SPITXIF: 傳送中斷旗標(Transmit Interrupt Flag)

“1”：當 SPITXD 的資料已載入移位暫存器，由硬體設定為“1”。

“0”：傳送資料完成後必須由軟體清除。

SPITDR: 資料傳送位元(Transmit Data Ready)

“1”：當程序為傳送模式時，資料儲存至 SPITXD 後，由軟體設定此旗標為“1”，告知 SPI module 允許傳出資料。

“0”：當 SPI module 由 SPITXD 完成傳送時(或 SPITXD 被載至移位暫存器時)，此旗標則由硬體自動清除。

SPIRXIF: 接收中斷旗標(Receive Interrupt Flag)

“1”：當 SPIRXD 被載入新一筆資料後，由硬體設定為“1”。

“0”：接收資料完成後必須由軟體清除。

SPIRDR: 資料接收位元(Receive Data Ready)

“1”：SPI module 接收資料時，SPIRDR 由硬體自動設定為“1”，以告知 MCU 完成接收並儲存至 SPIRXD；當新的一筆資料寫入 SPIRXD，而 SPIRDR 未清除時，SPIRXD 原有的資料將被覆寫，產生 overflow

“0”：由 SPIRXD 讀取資料後，必須由軟體清除此旗標。

SPIRS: 接收開始位元(Receive Start)

“1”：由軟體設為“1”，告知 SPI 模組 SPIRXD 開始接收資料(即 SPI_CLK 開始送 clock)。

“0”：當資料接收完成，由硬體清為“0”

Mnemonic: SPITXD							Address: F3h	
7	6	5	4	3	2	1	0	Reset
SPITXD[7:0]								00h

SPITXD[7:0]: 傳送資料緩衝器(Transmit data buffer)

Mnemonic: SPIRXD							Address: F4h	
7	6	5	4	3	2	1	0	Reset
SPIRXD[7:0]								00h

SPIRXD[7:0]: 接收資料緩衝器(Receive data buffer)



b. STC SPI 功能使用之暫存器說明：

SPI	Description	Direct	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	RESET
SPI function											
AUXR1	Auxiliary register 1	A2h	-	PCA_P4	SPI_P4	S2_P4	GF2	ADJ	-	DPS	00H
SPSTAT	SPI Status register	CDh	SPIF	WCOL	-	-	-	-	-	-	0xH
SPCTL	SPI control register	CEh	SSIG	SPEN	DORD	MSTR	CPOL	CPHA	SPR1	SPR0	04H
SPITXD	SPI data register	CFh									00H

Mnemonic: AUXR1

Address: A2h

7	6	5	4	3	2	1	0	Reset
-	PCA_P4	SPI_P4	S2_P4	GF2	ADJ	-	DPS	00H

SPI_P4: SPI_P4 = 0 – SPI function on P1.

SPI_P4 = 1 – SPI function on P4.

SPI_P4 setting	/SS	MOSI	MISO	SPICLK
0	P1.4	P1.5	P1.6	P1.7
1	P4.0	P4.1	P4.2	P4.3

Mnemonic: SPSTAT

Address: CDh

7	6	5	4	3	2	1	0	Reset
SPIF	WCOL	-	-	-	-	-	-	0xH

SPIF: SPI 傳輸完成標志,當一次串行傳輸完成時,SPIF 置位,並當 ESPI 和 EA 都置位時產生中斷。當 SPI 處於主模式且 SSIG=0 時,如果/SS 為輸入並被驅動為低電平,SPIF 也將置位。SPIF 標志通過軟件向其寫入“1”清零。

WCOL: SPI 寫衝突標志。在數據傳輸的過程中如果對 SPI 數據寄存器 SPDAT 執行寫操作,WCOL 將置位。WCOL 標志通過軟件向其寫入“1”清零。

Mnemonic: SPCTL

Address: CEh

7	6	5	4	3	2	1	0	Reset
SSIG	SPEN	DORD	MSTR	CPOL	CPHA	SPR1	SPR0	04H

SSIG: /SS 忽略

=1,由 MSTR 確定器件為主機還是從機。

=0,/SS 腳用於確定器件為主機還是從機。/SS 腳可作為 I/O 口使用(見 SPI 主從選擇表)

SPEN: SPI 使能

=1,SPI 使能。

=0,SPI 被禁止,所有 SPI 管腳都作為 I/O 口使用。

DORD: SPI 數據順序

=1,數據字的 LSB(最低位)最先發送。

=0,數據字的 MSB(最高位)最先發送。

MSTR: 主從模式選擇。(見 SPI 主從選擇表)

CPOL: SPI 時鐘極性

=1,SPICLK 空閒時為高電平,SPICLK 的前時鐘沿為下降沿而後沿為上升沿。

=0,SPICLK 空閒時為低電平,SPICLK 的前時鐘沿為上升沿而後沿為下降沿。



CPHA: SPI 時鐘相位選擇

=1,數據在 SPICLK 的前時鐘沿驅動,並在後時鐘沿採樣。

=0, 數據在/SS 為低(SSIG=0)時被驅動,在 SPICLK 的後時鐘沿被改變,並在前時鐘沿採樣。

(註：SSIG=1 時的操作未定義)

SPR[1:0]: SPI 時鐘速率選擇控制位

=00,SPICLK=CPU_CLK/4

=01,SPICLK=CPU_CLK/16

=10,SPICLK=CPU_CLK/64

=11,SPICLK=CPU_CLK/256

Mnemonic: SPDAT							Address: CFh	
7	6	5	4	3	2	1	0	Reset
SPDAT[7:0]							0	00h

SPDAT[7:0]: 數據寄存器(SPI data Register)

附件十一：IIC 設定說明

新茂提供 IIC 介面功能，亦提供中斷功能，中斷向量為 0x6BH。

STC 並未提供此硬體功能。

1. 新茂 IIC 使用之特殊功能暫存器：

Mnemonic	Description	Direct	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	RESET
IIC function											
AUX	Auxiliary register	91h	BRGS	P4CC	P4SPI	P4UR1	P4IIC	P0KBI	-	DPS	00H
IICCTL	IIC control register	F9h	IICEN		MSS	MAS	RStart	IICBR[2:0]			04H
IICS	IIC status register	F8h	MStart	RXIF	TXIF	RDR	TDR	RXAK	TXAK	RW	00H
IICA1	IIC Address 1 register	FAh	IICA1[7:1]							MATCH1 or RW1	A0H
IICA2	IIC Address 2 register	FBh	IICA2[7:1]							MATCH2 or RW2	60H
IICRWD	IIC Read/Write register	FCh	IICRWD[7:0]								00H
IICS2	IIC status2 register	FDh	-	-	-	-	AB_EN	BF_EN	AB_F	BF	00H

2. 新茂 IIC 功能使用之暫存器說明：

Mnemonic: AUX								Address: 91h	
7	6	5	4	3	2	1	0	Reset	
BRGS	P4CC	P4SPI	P4UR1	P4IIC	P0KBI	-	DPS	00H	

P4IIC: P4IIC = 0 – IIC function on P1(P1.6 as IIC_SCL,P1.7 as IIC_SDA).

P4IIC = 1 – IIC function on P4(P4.0 as IIC_SCL,P4.1 as IIC_SDA).

Mnemonic: IICCTL								Address: F9h	
7	6	5	4	3	2	1	0	Reset	
IICEN	-	MSS	MAS	RStart	IICBR[2:0]			04h	

IICEN: IC 致能位元(Enable IIC module)

IICEN = 1, IIC 致能。

IICEN = 0, IIC 禁能。

MSS: 主從模式選擇位元 **Master or slave mode select** :

MSS = 1, 設定為 master mode。

MSS = 0, 設定為 slave mode。

*要使用 IIC, 在設定其它 IIC SFR 時, 程序必須最先致能此位元。

MAS: 控制位址位元 **Master address select (master mode only)** :

MAS = 0, 選擇控制位址位元(control byte)由 SFR IICA1 送出。

MAS = 1, 選擇控制位址位元(control byte)由 SFR IICA2 送出。

RStart: 重新起始位元 **Re-start control bit (master mode only)** :

RStart = 0, 在送出位置後旗標由硬件清除為"0"。



RStart = 1，由軟件設定，在收到 ACK 後，送出起始條件(start condition)及控制位址位元(控制位址位元由 MAS)。

IICBR[2:0]: IIC 鮑率選擇元位 **Baud rate selection (master mode only)** :

系統頻率(Fosc)依據 MCU 外部晶振(或內部晶振)而定，預設值為 Fosc/512 。

IICBR[2:0]	Baud rate
000	Fosc/32
001	Fosc/64
010	Fosc/128
011	Fosc/256
100	Fosc/512
101	Fosc/1024
110	Fosc/2048
111	Fosc/4096

Mnemonic: IICS							Address: F8h	
7	6	5	4	3	2	1	0	Reset
MStart	RxIF	TxIF	RDR	TDR	RxAk	TxAk	RW	00h

MStart: 起始位元 **Master start control bit (master mode only)**

MStart = 1，由軟體設置為"1"，送出起始條件(start condition)及控制位址位元(控制位址位元由 MAS)。

MStart = 0，由軟體清除為"0"，送出停止條件(stop condition)。

RxIF: 資料接收中斷旗標 **Data receive interrupt flag**

Slaver 由此旗標可判斷資料是否已接收

RxIF = 1，當資料讀寫暫存器(IICRWD)載入資料完成時，由硬體設為"1"。

RxIF = 0，接收完成後必須由軟體清除。

TxIF: 資料傳送中斷旗標 **Data transmit interrupt flag**

Master 由此旗標可判斷資料是否已傳出

TxIF = 1，當資料已由資料讀寫暫存器(IICRWD)載至位移暫存器，並已由位移暫存器傳送時，TxIF 為"1"

TxIF = 0，傳送資料完成後必須由軟體清除。

RDR: 資料接收完成位元 **Read data ready**

RDR = 1，IIC module 接收資料至資料讀寫暫存器(IICRWD)時，由硬體自動設定為"1"。

RDR = 0，當資料讀寫暫存器(IICRWD)完成接收後，必須由軟體清除為"0"；當 RDR = 0 時，IIC module 才可再次寫入新的資料至資料讀寫暫存器(IICRWD)。

TDR: 資料傳送完成位元 **Transmit data ready**

TDR = 1，由程序將資料寫入資料讀寫暫存器(IICRWD)後，由軟體設定此旗標為"1"，告知硬件 IIC module 將資料傳出。

TDR = 0，當 IIC module 由資料讀寫暫存器(IICRWD)讀取資料並完成傳送時，此位元則由硬體自動清除。

RxAk: 接收應答位元 **Receive acknowledgement**

當 IIC module 傳送資料時此位元為唯讀位元，等待接收端回覆應答(ACK/NACK)，不可由程序編寫。

當 IIC module 為 master mode：傳出資料(8-bit)後，由 slaver 回覆應答位元(RxAk)。



當 IIC module 為 slave mode：傳出資料(8-bit)後，由 master 回覆應答位元(RxAK)。

TxAk: 傳送應答位元 Transmit acknowledgement

IIC module 當接收端時，接收資料完成後，回覆傳送端應答位元(ACK/NACK)。

RW: Slave mode read or write(read only)

1. 當 IIC module 為 slave mode 時，此位元為唯讀，不可由程序編寫。
2. 此位元由 master 的位址 IICA1(或 IICA2) 的 8th-bit 所控制：
 - = 0 : master 要求 slaver 的 IIC module 為接收模式(即 master write, slaver read)。
 - = 1 : master 要求 slaver 的 IIC module 為傳送模式(即 master read, slaver write)。

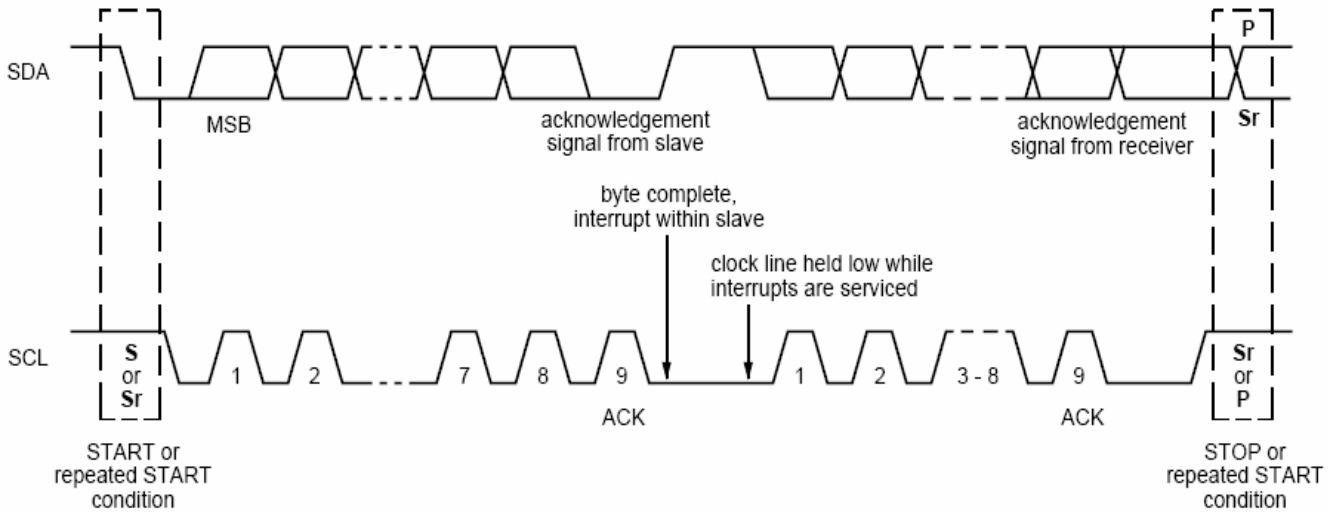


Fig. Acknowledgement bit in the 9th bit of a byte transmission

Mnemonic: IICA1							Address: FAH	
7	6	5	4	3	2	1	0	Reset
IICA1[7:1]							Match1 or RW1	A0H
R/W							R or R/W	

Slave mode:

IICA1[7:1]: IIC Address registers

第一組控制位址 IICA1 共 7-bit，由軟體設定，當 slaver 接收到 master 的位址時，兩者會相互比對。

Match1: = 1，當 master 與 slaver 的控制位址 7-bit 相同時，slaver 的 8th-bit(Match1)由硬體設為"1"。

= 0，當 IIC Stop 時，由該位元由硬體清為"0"。

Master mode:

IICA1[7:1]: IIC Address registers

1. 第一組控制位址 IICA1 共 7-bit，由軟體設定。

2. 當 MAS = 0，選擇控制位址位元(IICA1)。

(當 MAS = 1，選擇控制位址位元(IICA2)。)

3. 當 MStart 由軟體設置為"1"時，會送出起始條件(start condition)及控制位址位元(IICA1)。

RW1: 當 master 與 slave 的控制位址 7-bit 相同時，master 送出 8th-bit(R/W-bit)，告知 slaver 讀寫的狀態

RW1= 1：為 master IIC module 接收模式(即 master read, slaver write)。

RW1= 0：為 master IIC module 傳送模式(即 master write, slaver read)。

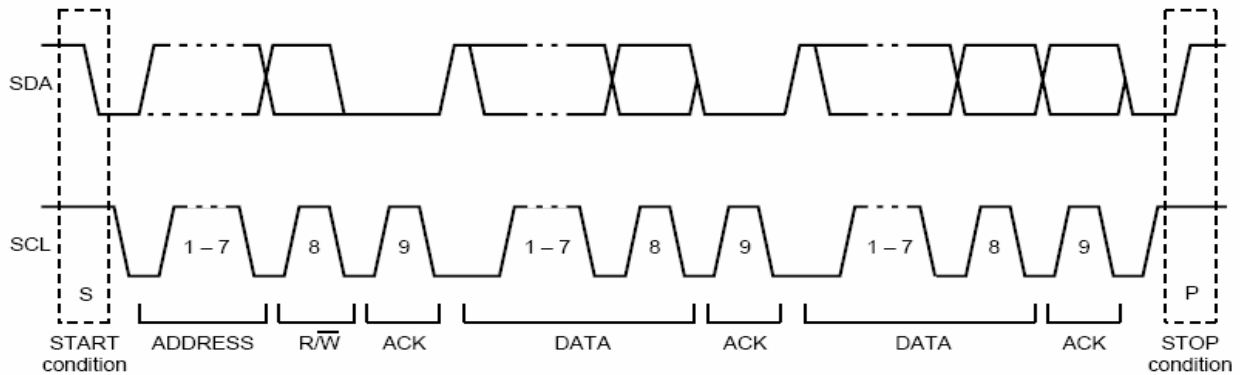


Fig. : RW bit in the 8th bit after IIC address

Mnemonic: IICA2							Address: FBh	
7	6	5	4	3	2	1	0	Reset
IICA2[7:1]							Match2 or RW2	60h
R/W							R or R/W	

Slave mode:

IICA2[7:1]: IIC Address registers

第一組控制位址 IICA2 共 7-bit，由軟體設定，當 slaver 接收到 master 的位址時，兩者會相互比對。

Match2: = 1，當 master 與 slaver 的控制位址 7-bit 相同時，slaver 的 8th-bit(Match1)由硬體設為"1"。
= 0，當 IIC Stop 時，由該位元由硬體清為"0"。

Master mode:

IICA2[7:1]: IIC Address registers

- 第二組控制位址 IICA2 共 7-bit，由軟體設定。
- 當 MAS = 1，選擇控制位址位元(IICA2)。
(當 MAS = 0，選擇控制位址位元(IICA1)。)
- 當 MStart 由軟體設置為"1"時，會送出起始條件(start condition)及控制位址位元(IICA2)。

RW2: 當 master 與 slave 的控制位址 7-bit 相同時，master 送出 8th-bit(R/W-bit)，告知 slaver 讀寫的狀態

RW1= 1：為 master IIC module 接收模式(即 master read, slaver write)。

RW1= 0：為 master IIC module 傳送模式(即 master write, slaver read)。

Mnemonic: IICRWD							Address: FCh	
7	6	5	4	3	2	1	0	Reset
IICRWD[7:0]								00h

IICRWD[7:0]: IIC 資料讀寫暫存器(8-bit) IIC read write data buffer :

IIC module 為接收模式(讀取)時，為接收資料的暫存區。

IIC module 為傳送模式(寫入)時，為傳送資料的暫存區。

Mnemonic: IICS2						Address: FDH		
7	6	5	4	3	2	1	0	Reset
-	-	-	-	AB_EN	BF_EN	AB_F	BF	00H

AB_EN: Arbitration lost enable bit. (Master mode only)

If set AB_EN bit, the hardware will check arbitration lost. Once arbitration lost occurred,



hardware will return to IDLE state. If this bit is cleared, hardware will not care arbitration lost condition. Set this bit when multi-master and slave connection. Clear this bit when single master to single slave.

BF_EN: 匯流排忙碌偵測致能位元 Bus busy enable bit. (Master mode only)

當該位元設置為“1”時，master IIC module將不會送出起啓訊號，直到BF=0。

當該位元清除為“0”時，master IIC module將不會BF=0或1

當系統有為“多個”主從元件時，請致能該偵測位元(BF_EN)。

當系統僅有“單一”主從元件時，可禁能該偵測位元(BF_EN)。

AB_F: Arbitration lost bit. (Master mode only)

In multi-master condition, when send out data bit “1” but return back “0”, bus arbitration lost occurred and this bit will be set. Software need to clear this bit and check until BF=0 to resend data again.

BF: 匯流排忙碌偵測位元 Bus busy bit. (Master mode only)

當偵測到SCL=0或SDA=0或起啓訊號時，該位元由硬體設為“1”。

當偵測停止訊號或一週期性(4.7us)的訊號時，該位元由硬體清為“0”。

此位元也可由軟件清為“0”，使匯流排回到初始狀態。



附件十二：KBI 設定說明

新茂提供 8 個 I/O (Port 0 或 Port 2) 可當鍵盤介面功能，8 個獨立的 flag (KBF.0~ KBF.7)，可由程式設定為高電位或低電位觸發，此功能共用同一個中斷向量(0x5BH)。

STC 並未提供此硬體功能。

1. 新茂 KBI 使用之特殊功能暫存器：

KBI	Description	Direct	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	RESET
KBI function											
AUX	Auxiliary register	91h	BRGS	P4CC	P4SPI	P4UR1	P4IIC	P0KBI	-	DPS	00H
KBLS	KBI level selection	93h	KBLS7	KBLS6	KBLS5	KBLS4	KBLS3	KBLS2	KBLS1	KBLS0	00H
KBE	KBI input enable	94h	KBE7	KBE6	KBE5	KBE4	KBE3	KBE2	KBE1	KBE0	00H
KBF	KBI flag	95h	KBF7	KBF6	KBF5	KBF4	KBF3	KBF2	KBF1	KBF0	00H
KBD	KBI De-bounce control register	96h	KBDEN	-	-	-	-	-	KBD1	KBD0	00H
IEN1	Interrupt Enable 1 register	B8h	EXEN2	-	IEIIC	IELVI	IEKBI	IEADC	IESPI	IEPWM	00h
IRCON	Interrupt request register	C0H	EXF2	TF2	IICIF	LVIIIF	KBIIF	ADCIF	SPIIF	PWMIF	00H

2. 新茂 KBI 功能使用之暫存器說明：

Mnemonic: AUX							Address: 91h		
7	6	5	4	3	2	1	0	Reset	
BRGS	P4CC	P4SPI	P4UR1	P4IIC	P0KBI	-	DPS	00H	

P0KBI: P0KBI = 0 – KBI function on P2.
P0KBI = 1 – KBI function on P0.

Mnemonic: KBLS							Address: 93h	
7	6	5	4	3	2	1	0	Reset
KBLS.7	KBLS.6	KBLS.5	KBLS.4	KBLS.3	KBLS.2	KBLS.1	KBLS.0	00h

- KBLS.7: Keyboard Line 7 level selection bit
0 : enable a low level detection on KBI7.
1 : enable a high level detection on KBI7.
- KBLS.6: Keyboard Line 6 level selection bit
0 : enable a low level detection on KBI6.
1 : enable a high level detection on KBI6.
- KBLS.5: Keyboard Line 5 level selection bit
0 : enable a low level detection on KBI5.
1 : enable a high level detection on KBI5.
- KBLS.4: Keyboard Line 4 level selection bit
0 : enable a low level detection on KBI4.
1 : enable a high level detection on KBI4.
- KBLS.3: Keyboard Line 3 level selection bit
0 : enable a low level detection on KBI3.



- 1 : enable a high level detection on KBI3.
- KBLS.2: Keyboard Line 2 level selection bit
 - 0 : enable a low level detection on KBI2.
 - 1 : enable a high level detection on KBI2.
- KBLS.1: Keyboard Line 1 level selection bit
 - 0 : enable a low level detection on KBI1.
 - 1 : enable a high level detection on KBI1.
- KBLS.0: Keyboard Line 0 level selection bit
 - 0 : enable a low level detection on KBI0.
 - 1 : enable a high level detection on KBI0.

Mnemonic: KBE

Address: 94h

7	6	5	4	3	2	1	0	Reset
KBE.7	KBE.6	KBE.5	KBE.4	KBE.3	KBE.2	KBE.1	KBE.0	00h

- KBE.7: Keyboard Line 7 enable bit
 - 0 : enable standard I/O pin.
 - 1 : enable KBF.7 bit in KBF register to generate an interrupt request.
- KBE.6: Keyboard Line 6 enable bit
 - 0 : enable standard I/O pin.
 - 1 : enable KBF.6 bit in KBF register to generate an interrupt request.
- KBE.5: Keyboard Line 5 enable bit
 - 0 : enable standard I/O pin.
 - 1 : enable KBF.5 bit in KBF register to generate an interrupt request.
- KBE.4: Keyboard Line 4 enable bit
 - 0 : enable standard I/O pin.
 - 1 : enable KBF.4 bit in KBF register to generate an interrupt request.
- KBE.3: Keyboard Line 3 enable bit
 - 0 : enable standard I/O pin.
 - 1 : enable KBF.3 bit in KBF register to generate an interrupt request.
- KBE.2: Keyboard Line 2 enable bit
 - 0 : enable standard I/O pin.
 - 1 : enable KBF.2 bit in KBF register to generate an interrupt request.
- KBE.1: Keyboard Line 1 enable bit
 - 0 : enable standard I/O pin.
 - 1 : enable KBF.1 bit in KBF register to generate an interrupt request.
- KBE.0: Keyboard Line 0 enable bit
 - 0 : enable standard I/O pin.
 - 1 : enable KBF.0 bit in KBF register to generate an interrupt request.

Mnemonic: KBF

Address: 95h

7	6	5	4	3	2	1	0	Reset
KBF.7	KBF.6	KBF.5	KBF.4	KBF.3	KBF.2	KBF.1	KBF.0	00h

- KBF.7: Keyboard Line 7 flag
This is set by hardware when KBI7 detects a programmed level. It generates a Keyboard interrupt request if KBE.7 is also set. It must be cleared by software.
- KBF.6: Keyboard Line 6 flag
This is set by hardware when KBI6 detects a programmed level. It generates a Keyboard interrupt request if KBE.6 is also set. It must be cleared by software.
- KBF.5: Keyboard Line 5 flag



This is set by hardware when KBI5 detects a programmed level.

It generates a Keyboard interrupt request if KBE.5 is also set. It must be cleared by software.

KBF.4: Keyboard Line 4 flag

This is set by hardware when KBI4 detects a programmed level.

It generates a Keyboard interrupt request if KBE.4 is also set. It must be cleared by software.

KBF.3: Keyboard Line 3 flag

This is set by hardware when KBI3 detects a programmed level.

It generates a Keyboard interrupt request if KBE.3 is also set. It must be cleared by software.

KBF.2: Keyboard Line 2 flag

This is set by hardware when KBI2 detects a programmed level.

It generates a Keyboard interrupt request if KBE.2 is also set. It must be cleared by software.

KBF.1: Keyboard Line 1 flag

This is set by hardware when KBI1 detects a programmed level.

It generates a Keyboard interrupt request if KBE.1 is also set. It must be cleared by software.

KBF.0: Keyboard Line 0 flag

This is set by hardware when KBI0 detects a programmed level.

It generates a Keyboard interrupt request if KBE.0 is also set. It must be cleared by software.

Mnemonic: KBD							Address: 96H	
7	6	5	4	3	2	1	0	Reset
KBDEN	-	-	-	-	-	KBD.1	KBD.0	00H

KBDEN: Enable KBI de-bounce function. The default KBI function is enabled.

KBDEN = 0, enable KBI de-bounce function. The de-bounce time is selected by KBD [1:0].

KBDEN = 1, disable KBI de-bounce function. The KBI input pin without de-bounce mechanism.

KBD[1:0]: Select KBI de-bounce time. If KBDEN = "0", the default de-bounce time is 320 ms.

KBD[1:0] = 00, the de-bounce time is 320 ms.

KBD[1:0] = 01, the de-bounce time is 160 ms.

KBD[1:0] = 10, the de-bounce time is 80 ms.

KBD[1:0] = 11, the de-bounce time is 40 ms.

Mnemonic: IEN1							Address: B8h	
7	6	5	4	3	2	1	0	Reset
EXEN2	-	IEIIC	IELVI	IEKBI	IEADC	IESPI	IEPWM	00h

IEKBI: KBI interrupt enable.

IEKBI = 0 – Disable KBI interrupt.

IEKBI = 1 – Enable KBI interrupt.

Mnemonic: IRCON							Address: C0h	
7	6	5	4	3	2	1	0	Reset
EXF2	TF2	IICIF	LVIIF	KBIIF	ADCIF	SPIIF	PWMIF	00H

KBIIF: KBI interrupt flag. Must be cleared by software.



附件十三：GPIO 設定不同說明

1. 新茂與 STC GPIO 功能比較：

	新茂	STC
GPIO 之 4 種 I/O 型態	1. 准雙向 I/O(預設) 2. 推挽輸出 3. 僅輸入(高阻抗) 4. Open drain	1. 准雙向 I/O(預設) 2. 推挽輸出 3. 僅輸入(高阻抗) 4. Open drain
P4[7:4] GPIO 之致能	Only define by writer or ISP	P4SW[6:4]=1, the NA、ALE、EX_LVD define as P4.4、P4.5、P4.6 The RST can be define as P4.7 by ISP
特點		

2. 新茂與 STC GPIO 特殊功能暫存器比較：

特殊功能暫存器名稱	新茂名稱及位址	STC 名稱及位址
Port 0	Port0(0x80H)	Port0(0x80H)
Port 1	Port1(0x90H)	Port1(0x90H)
Port 2	Port2(0xA0H)	Port2(0xA0H)
Port 3	Port3(0xB0H)	Port3(0xB0H)
Port 4	Port4(0xE8H)	Port4(0xC0H)
Port 5	Port5(0xD8H)	Port5(0xC8H)
P0 I/O 模式控制 0	P0M0(0xD2H)	P0M0(0x94H)
P0 I/O 模式控制 1	P0M1(0xD3H)	P0M1(0x93H)
P1 I/O 模式控制 0	P1M0(0xD4H)	P1M0(0x92H)
P1 I/O 模式控制 1	P1M1(0xD5H)	P1M1(0x91H)
P2 I/O 模式控制 0	P2M0(0xD6H)	P2M0(0x96H)
P2 I/O 模式控制 1	P2M1(0xD7H)	P2M1(0x95H)
P3 I/O 模式控制 0	P3M0(0xDAH)	P3M0(0xB1H)
P3 I/O 模式控制 1	P3M1(0xDBH)	P3M1(0xB2H)
P4 I/O 模式控制 0	P4M0(0xDCH)	P4M0(0xB4H)
P4 I/O 模式控制 1	P4M1(0xDDH)	P4M1(0xB3H)
P5 I/O 模式控制 0	P5M0(0xDEH)	P5M0(0xCAH)
P5 I/O 模式控制 1	P5M1(0xDFH)	P5M1(0xC9H)
P4 [6:4] I/O 切換	無	P4SW(0xBBH)
特殊功能 I/O 之切換	AUX(0x91H)	AUXR1(0xA2H)



3. 新茂與 STC GPIO 之特殊功能暫存器說明：

a. 新茂 GPIO 功能使用之暫存器說明：

Mnemonic	Description	Direct	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	RESET
Ports											
Port 5	Port 5	D8h					P5.3	P5.2	P5.1	P5.0	0Fh
Port 4	Port 4	E8h	P4.7	P4.6	P4.5	P4.4	P4.3	P4.2	P4.1	P4.0	FFh
Port 3	Port 3	B0h	P3.7	P3.6	P3.5	P3.4	P3.3	P3.2	P3.1	P3.0	FFh
Port 2	Port 2	A0h	P2.7	P2.6	P2.5	P2.4	P2.3	P2.2	P2.1	P2.0	FFh
Port 1	Port 1	90h	P1.7	P1.6	P1.5	P1.4	P1.3	P1.2	P1.1	P1.0	FFh
Port 0	Port 0	80h	P0.7	P0.6	P0.5	P0.4	P0.3	P0.2	P0.1	P0.0	FFh

Mnemonic	Description	Direct	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	RESET
I/O port function register											
P0M0	Port 0 output mode 0	D2h					P0M0 [7:0]				00H
P0M1	Port 0 output mode 1	D3h					P0M1 [7:0]				00H
P1M0	Port 1 output mode 0	D4h					P1M0 [7:0]				00H
P1M1	Port 1 output mode 1	D5h					P1M1 [7:0]				00H
P2M0	Port 2 output mode 0	D6h					P2M0 [7:0]				00H
P2M1	Port 2 output mode 1	D7h					P2M1 [7:0]				00H
P3M0	Port 3 output mode 0	DAh					P3M0 [7:0]				00H
P3M1	Port 3 output mode 1	DBh					P3M1 [7:0]				00H
P4M0	Port 4 output mode 0	DCh					P4M0 [7:0]				00H
P4M1	Port 4 output mode 1	DDh					P4M1 [7:0]				00H
P5M0	Port 5 output mode 0	DEh			-			P5M0 [3:0]			00H
P5M1	Port 5 output mode 1	DFh			-			P5M1 [3:0]			00H

Mnemonic	Description	Direct	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	RESET
AUX											
AUX	Auxiliary register	91h	BGRS	P4CC	P4SPI	P4UR1	P4IIC	P0KBI	-	DPS	00H

PxM1.y	PxM0.y	Port output mode
0	0	Quasi-bidirectional (standard 8051 port outputs) (pull-up)
0	1	Push-pull
1	0	Input only (high-impedance)
1	1	Open drain

Mnemonic: AUX

Address: 91h

7	6	5	4	3	2	1	0	Reset
BGRS	P4CC	P4SPI	P4UR1	P4IIC	P0KBI	-	DPS	00H

P4CC: P4CC = 0 – Capture/Compare function on P1.

P4CC = 1 – Capture/Compare function on P4.

P4CC	CC0	CC1	CC2	CC3
0	P1.0	P1.1	P1.3	P1.4
1	P4.0	P4.1	P4.2	P4.3



P4SPI: P4SPI = 0 – SPI function on P1.
P4SPI = 1 – SPI function on P4.

P4SPI	SS	MOSI	MISO	SPI_CLK
0	P1.4	P1.5	P1.6	P1.7
1	P4.0	P4.1	P4.2	P4.3

P4UR1: P4UR1 = 0 – Serial interface 1 function on P1.
P4UR1 = 1 – Serial interface 1 function on P4.

P4UR1	RXD1	TXD1
0	P1.2	P1.3
1	P4.2	P4.3

P4IIC: P4IIC = 0 – IIC function on P1.
P4IIC = 1 – IIC function on P4.

P4IIC	IIC_SCL	IIC_SDA
0	P1.6	P1.7
1	P4.0	P4.1

P0KBI: P0KBI = 0 – KBI function on P2.
P0KBI = 1 – KBI function on P0.

P0KBI	KBI0	KBI1	KBI2	KBI3	KBI4	KBI5	KBI6	KBI7
0	P2.0	P2.1	P2.2	P2.3	P2.4	P2.5	P2.6	P2.7
1	P0.0	P0.1	P0.2	P0.3	P0.4	P0.5	P0.6	P0.7

多 4 個 GPIO 之方法：

此類 MCU 可用 ICP 或 ISP 等燒錄模式將 OCI_SCL、ALE、OCI_SDA and RESET 等 I/O 定義成 P4.4、P4.5、P4.6 and P4.7。

各種封裝對應之 PIN 腳如下表：

	OCI_SCL/P4.4	ALE/P4.5	OCI_SDA/P4.6	RESET/P4.7
40-PIN PDIP	29	30	31	9
44-PIN PLCC	32	33	35	10
44-PIN PQFP	26	27	29	4
48-PIN LQFP	29	30	32	5



b. STC GPIO 功能使用之暫存器說明：

Mnemonic	Description	Direct	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	RESET
Ports											
Port 5	Port 5	C8h					P5.3	P5.2	P5.1	P5.0	0Fh
Port 4	Port 4	C0h	P4.7	P4.6	P4.5	P4.4	P4.3	P4.2	P4.1	P4.0	FFh
Port 3	Port 3	B0h	P3.7	P3.6	P3.5	P3.4	P3.3	P3.2	P3.1	P3.0	FFh
Port 2	Port 2	A0h	P2.7	P2.6	P2.5	P2.4	P2.3	P2.2	P2.1	P2.0	FFh
Port 1	Port 1	90h	P1.7	P1.6	P1.5	P1.4	P1.3	P1.2	P1.1	P1.0	FFh
Port 0	Port 0	80h	P0.7	P0.6	P0.5	P0.4	P0.3	P0.2	P0.1	P0.0	FFh

Mnemonic	Description	Direct	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	RESET
I/O port function register											
P0M0	Port 0 output mode 0	94h					P0M0 [7:0]				00H
P0M1	Port 0 output mode 1	93h					P0M1 [7:0]				00H
P1M0	Port 1 output mode 0	92h					P1M0 [7:0]				00H
P1M1	Port 1 output mode 1	91h					P1M1 [7:0]				00H
P2M0	Port 2 output mode 0	96h					P2M0 [7:0]				00H
P2M1	Port 2 output mode 1	95h					P2M1 [7:0]				00H
P3M0	Port 3 output mode 0	B2h					P3M0 [7:0]				00H
P3M1	Port 3 output mode 1	B1h					P3M1 [7:0]				00H
P4M0	Port 4 output mode 0	B4h					P4M0 [7:0]				00H
P4M1	Port 4 output mode 1	B3h					P4M1 [7:0]				00H
P4SW	P4 Switch	BBH	-	LVD_ P4.6	ALE_ P4.5	NA_ P4.4	-	-	-	-	0XH
P5M0	Port 5 output mode 0	CAh						P5M0 [3:0]			00H
P5M1	Port 5 output mode 1	C9h						P5M1 [3:0]			00H

Mnemonic	Description	Direct	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	RESET
AUX											
AUXR1	Auxiliary register	A2h	-	PCA_P4	SPI_P4	S2_P4	GF2	ADRJ	-	DPS	00H

PxM1.y	PxM0.y	Port output mode
0	0	Quasi-bidirectional (standard 8051 port outputs) (pull-up)
0	1	Push-pull
1	0	Input only (high-impedance)
1	1	Open drain

Mnemonic: AUXR1

Address: A2h

7	6	5	4	3	2	1	0	Reset
-	PCA_P4	SPI_P4	S2_P4	GF2	ADRJ	-	DPS	00H

PCA_P4: PCA_P4 = 0 – Capture/Compare function on P1.

PCA_P4 = 1 – Capture/Compare function on P4.

PCA_P4	ECI	PCA0/PWM0	PCA1/PWM1
0	P1.2	P1.3	P1.4
1	P4.1	P4.2	P4.3



SPI_P4: SPI_P4 = 0 – SPI function on P1.
SPI_P4 = 1 – SPI function on P4.

SPI_P4	SS	MOSI	MISO	SPICLK
0	P1.4	P1.5	P1.6	P1.7
1	P4.0	P4.1	P4.2	P4.3

S2_P4: S2_P4 = 0 – Serial interface 1 function on P1.
S2_P4 = 1 – Serial interface 1 function on P4.

S2_P4	RxD2	TxD2
0	P1.2	P1.3
1	P4.2	P4.3

Mnemonic: P4SW								Address:BBh
7	6	5	4	3	2	1	0	Reset
-	LVD_P4.6	ALE_P4.5	NA_P4.4	-	-	-	-	0xH

LVD_P4.6: LVD_P4.6 = 0 –是外部低壓檢測腳.

LVD_P4.6 = 1 –設置成 P4.6 I/O.

ALE_P4.5: ALE_P4.5 = 0 –是 ALE 信號腳.

ALE_P4.5 = 1 –設置成 P4.5 I/O.

NA_P4.4 NA_P4.4 = 0 –無任何功能.

NA_P4.4 = 1 –設置成 P4.4 I/O.

The RST can be define as P4.7 by ISP

各種封裝對應之 PIN 腳如下表：

	NA_P4.4	ALE_P4.5	LVD_P4.6	RESET/P4.7
40-PIN PDIP	29	30	31	9
44-PIN PLCC	32	33	35	10
44-PIN PQFP	26	27	29	4
48-PIN LQFP	29	30	32	5



六、 注意事項：

七、 參考文件：

所有應用參考文件皆可於新茂網站 www.syncmos.com.tw 下載